

843.41231X00

JC979 U.S. PTO
10/084943
03/01/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KAWAKAMI, et al.

Serial No.: Not yet assigned

Filed: March 1, 2002

Title: METHOD OF MANUFACTURING SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR
MANUFACTURING APPARATUS

Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

March 1, 2002

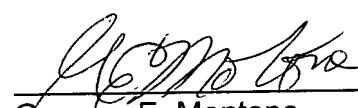
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on Japanese Patent Application No.(s) 2001-57974,
filed March 2, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

JJC979 U.S. PTO
10/084943
03/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2001年 3月 2日

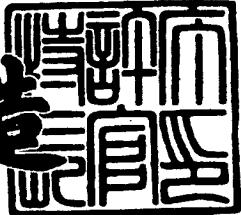
出願番号
Application Number: 特願2001-057974

出願人
Applicant(s): 株式会社日立製作所

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100794

【書類名】 特許願
【整理番号】 H00014881
【提出日】 平成13年 3月 2日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/66
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 川上 和也
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 鈴木 征洋
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 奥谷 謙
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 梶田 晋
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 橋本 武司
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法および半導体製造装置

【特許請求の範囲】

【請求項1】 複数の処理室を有する半導体製造装置において、

(a) 前記複数の処理室のうち第1処理室にて1枚の半導体ウェハに対して第1処理を施した後、前記複数の処理室のうち第2処理室にて前記1枚の半導体ウェハに対して第2処理を施す前に、前記1枚の半導体ウェハの全体平面の画像を取得する工程、

(b) 前記半導体ウェハの全体平面の画像を検証することにより、前記半導体ウェハが正常または異常かを判定する工程、

(c) 前記(b)工程において、前記半導体ウェハが正常と判定された場合には、前記半導体ウェハを前記第2処理室へ搬送し、前記半導体ウェハに対して前記第2処理を施す工程、

(d) 前記(b)工程において、前記半導体ウェハが異常と判定された場合に前記半導体製造装置の稼動を停止する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記(b)工程では、予め記録されている良品の半導体ウェハの全体平面の画像と前記(a)工程にて取得した前記半導体ウェハの全体平面の画像とを比較することにより前記半導体ウェハが正常または異常かを判定することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記第1処理は熱処理方法、物理的成膜方法、化学的成膜方法またはドライエッチングであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 複数の処理室を有する半導体製造装置を用い、

(a) 半導体ウェハを前記複数の処理室のうちの第1処理室に搬送し、前記半導体ウェハに第1処理を施す工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像と

する工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハに対して損傷の有無を判定する工程、

(d) 前記(c)工程において、前記半導体ウェハに損傷が生じていると判定された場合に、前記半導体製造装置の稼動を停止する工程、

(e) 前記(c)工程において、前記半導体ウェハに損傷が生じていないと判定された場合に、前記半導体ウェハを第2処理室に搬送し、前記半導体ウェハに第2処理を施す工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法において、前記第1映像は、複数段階の色階調で表されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法において、前記第1処理は熱処理方法、物理的成膜方法、化学的成膜方法またはドライエッチングであることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 複数の処理室を有する半導体製造装置を用い、

(a) 半導体ウェハを前記複数の処理室のうちの第1処理室に搬送し、前記半導体ウェハの第1面に熱処理または第1薄膜を形成する工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハの前記第1面における前記熱処理または前記第1薄膜の形成位置が正常または異常かを判定する工程、

(d) 前記(c)工程において、前記半導体ウェハの前記第1面における前記熱処理を施した位置または前記第1薄膜の形成位置が所定の位置から外れていた場合に、前記半導体製造装置の稼動を停止する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 複数の処理室を有する半導体製造装置を用い、

(a) 半導体ウェハを前記複数の処理室のうちの第1処理室に搬送し、前記半導体ウェハの第1面に熱処理または第1薄膜を形成する工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハの前記第1面において前記熱処理が施されているか否か、または前記第1薄膜が形成されているか否かを判定する工程、

(d) 前記(c)工程において、前記半導体ウェハの前記第1面において前記熱処理が施されていないこと、または前記第1薄膜が形成されていないことを検知した場合に、前記半導体製造装置の稼動を停止する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 複数の処理室の各々および複数枚の半導体ウェハを収容可能なロードロック室を搬送室を介して機械的に接続する構造を有する半導体製造装置において、

(a) 前記ロードロック室から1枚の半導体ウェハを取り出した後、前記搬送室を通じて前記複数の処理室のうちの第1処理室に搬送し、前記1枚の半導体ウェハに対して第1処理を施す前に、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(b) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハに対して損傷の有無を判定する工程、

(c) 前記(b)工程において、前記半導体ウェハに損傷が生じていると判定された場合に、前記半導体製造装置の稼動を停止する工程、

(d) 前記(b)工程において、前記半導体ウェハに損傷が生じていないと判定された場合に、前記半導体ウェハを前記第1処理室に搬送し、前記半導体ウェハ

に対して前記第1処理を施す工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項10】複数の処理室の各々および複数枚の半導体ウェハを収容可能なロードロック室を搬送室を介して機械的に接続する構造を有する半導体製造装置において、

(a) 前記複数の処理室のうちの第1処理室において1枚の半導体ウェハに対して第1処理を施した後、前記半導体ウェハを前記ロードロック室へ搬送する前に、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(b) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハに対して損傷の有無を判定する工程、

(c) 前記(b)工程において、前記半導体ウェハに損傷が生じていると判定された場合に、前記半導体製造装置の稼動を停止する工程、

(d) 前記(b)工程において、前記半導体ウェハに損傷が生じていないと判定された場合に、前記半導体ウェハを前記ロードロック室に搬送する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項11】複数の処理室を有する半導体製造装置を用い、

(a) 複数枚の半導体ウェハを前記複数の処理室のうち所定数の第1処理室に1枚ずつ搬送し、前記半導体ウェハに第1処理を施す工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハに対して損傷の有無を判定する工程、

(d) 前記(c)工程において、前記半導体ウェハに損傷が生じていると判定された場合に、前記半導体製造装置の稼動を停止する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 複数の処理室を有する半導体製造装置を用い、

(a) 複数枚の半導体ウェハを前記複数の処理室のうち所定数の第1処理室に1枚ずつ搬送し、前記半導体ウェハの第1面に熱処理または第1薄膜を形成する工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハの前記第1面における前記熱処理または前記第1薄膜の形成位置が正常または異常かを判定する工程、

(d) 前記(c)工程において、前記半導体ウェハの前記第1面における前記熱処理を施した位置または前記第1薄膜の形成位置が所定の位置から外れていた場合に、前記半導体製造装置の稼動を停止する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 複数の処理室を有する半導体製造装置を用い、

(a) 複数枚の半導体ウェハを前記複数の処理室のうち所定数の第1処理室に1枚ずつ搬送し、前記半導体ウェハの第1面に熱処理または第1薄膜を形成する工程、

(b) 前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程、

(c) 前記第1映像を識別手段に取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1映像とを比較することにより、前記半導体ウェハの前記第1面において前記熱処理が施されているか否か、または前記第1薄膜が形成されているか否かを判定する工程、

(d) 前記(c)工程において、前記半導体ウェハの前記第1面において前記熱処理が施されていないこと、または前記第1薄膜が形成されていないことを検知した場合に、前記半導体製造装置の稼動を停止する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 複数の処理室が搬送室と機械的に接続し、前記搬送室には前記複数の処理室のうち所定の処理室にて所定の処理が施された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を検証することにより前記半導体ウェハが正常または異常かを判定する機能を有し、前記半導体ウェハが異常と判定された場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項15】 請求項14記載の半導体製造装置において、前記半導体ウェハが正常または異常かを判定する機能は、予め記録されている正常な半導体ウェハの全体平面の画像と前記第1処理室にて所定の処理が施された半導体ウェハの全体平面の画像とを比較することにより前記半導体ウェハが正常または異常かを判定する機能であることを特徴とする半導体製造装置。

【請求項16】 複数の処理室が搬送室と機械的に接続し、前記搬送室には前記複数の処理室のうち所定の処理室にて所定の処理が施された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハに対して損傷の有無を判定する識別手段を有し、前記識別手段が前記半導体ウェハに損傷が生じていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項17】 請求項16記載の半導体製造装置において、前記識別手段は前記半導体ウェハの全体平面の画像と前記正常な半導体ウェハの全体平面の画像とを比較する際には、前記半導体ウェハの全体平面の画像を複数段階の色階調で表す機能を有することを特徴とする半導体製造装置。

【請求項18】 複数の処理室が搬送室と機械的に接続し、前記搬送室には前記複数の処理室のうち所定の処理室にて第1面に熱処理または第1薄膜が形成された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハの前記第1面における前記熱処理または前記第1薄膜の形成位置が正常または異常かを判定する識別

手段を有し、前記識別手段が前記半導体ウェハの前記第1面における前記熱処理を施した位置または前記第1薄膜の形成位置が所定の位置から外れていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置

【請求項19】 複数の処理室が搬送室と機械的に接続し、前記搬送室には前記複数の処理室のうち所定の処理室にて第1面に熱処理または第1薄膜が形成された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハの前記第1面において前記熱処理が施されているか否か、または前記第1薄膜が形成されているか否かを判定する識別手段を有し、前記識別手段が前記半導体ウェハの前記第1面において前記熱処理が施されていないこと、または前記第1薄膜が形成されていないことを検知した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項20】 複数の処理室の各々および複数枚の半導体ウェハを収容可能なロードロック室を搬送室を介して機械的に接続する構造を有し、前記ロードロック室から1枚の半導体ウェハを取り出した後、前記搬送室を通じて前記複数の処理室のうちの第1処理室に搬送し、前記1枚の半導体ウェハに対して第1処理を施す前に、前記半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハに対して損傷の有無を判定する識別手段を有し、前記識別手段が前記半導体ウェハに損傷が生じていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項21】 複数の処理室の各々および複数枚の半導体ウェハを収容可能なロードロック室を搬送室を介して機械的に接続する構造を有し、前記複数の処理室のうちの第1処理室において1枚の半導体ウェハに対して第1処理を施した後、前記半導体ウェハを前記ロードロック室へ搬送する前に、前記半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平

面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハに対して損傷の有無を判定する識別手段を有し、前記識別手段が前記半導体ウェハに損傷が生じていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項22】 複数の処理室が搬送室と機械的に接続し、前記複数の処理室のうち所定数の第1処理室は、半導体ウェハが1枚ずつ搬送された後に前記半導体ウェハに対して第1処理を施す機能を有し、前記搬送室には前記第1処理室にて第1処理が施された前記半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハに対して損傷の有無を判定する識別手段を有し、前記識別手段が前記半導体ウェハに損傷が生じていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項23】 複数の処理室が搬送室と機械的に接続し、前記複数の処理室のうち所定数の第1処理室は、半導体ウェハが1枚ずつ搬送された後に前記半導体ウェハの第1面に熱処理または第1薄膜を形成する機能を有し、前記搬送室には前記第1処理室にて前記第1面に前記熱処理または前記第1薄膜が形成された前記半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハの前記第1面における前記熱処理または前記第1薄膜の形成位置が正常または異常かを判定する識別手段を有し、前記識別手段が前記半導体ウェハの前記第1面における前記熱処理を施した位置または前記第1薄膜の形成位置が所定の位置から外れていると判定した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【請求項24】 複数の処理室が搬送室と機械的に接続し、前記複数の処理室のうち所定数の第1処理室は、半導体ウェハが1枚ずつ搬送された後に前記半導体ウェハの第1面に熱処理または第1薄膜を形成する機能を有し、前記搬送室には前記第1処理室にて前記第1面に前記熱処理または前記第1薄膜が形成され

た前記半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、前記半導体ウェハの全体平面の画像を取り込み、予め記録されている正常な半導体ウェハの全体平面の画像と比較することにより、前記半導体ウェハの前記第1面において前記熱処理が施されているか否か、または前記第1薄膜が形成されているか否かを判定する識別手段を有し、前記識別手段が前記半導体ウェハの前記第1面において前記熱処理が施されていないこと、または前記第1薄膜が形成されていないことを検知した場合にはその稼動を停止する機能を有することを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造方法および半導体製造装置に関し、特に、複数のチャンバを有する半導体製造装置を用いた半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、半導体デバイスの高集積化と微細化に伴い、一度に大量の半導体ウェハ（以下、単にウェハと記す）を処理するバッチ方式の半導体製造装置による半導体集積回路装置の製造方法では、その精密なプロセス条件への適合が難しくなってきている。バッチ方式では、加工処理における精密性と均一性の確保に限界があり、技術的にブレークスルーが要求されるようになっている。

【0003】

上記した要求に応えるための一つの手段として、枚葉式のチャンバを複数個有する方式（以下、マルチチャンバ方式と記す）の半導体製造装置を用いることが考えられる。マルチチャンバ方式の半導体製造装置は、たとえばウェハを搬送するロボットアームが設置された搬送室を中心に、複数のチャンバおよびロードロック室などが設けられている。

【0004】

枚葉式のチャンバでは、1回で処理できるウェハは1枚であるが、バッチ式の

チャンバと比べて高精度の処理が可能であり、均一性が保たれることから、精密条件への対応に優れている。また、枚葉式のチャンバを用いた処理は小さなチャンバの中で行なえるため、1台の半導体製造装置に複数のチャンバを装着すれば、処理量でもバッチ式のチャンバと同等以上の能力を発揮することが可能である。

【0005】

マルチチャンバ方式の半導体製造装置においては、事故によりロボットアーム上にウェハがない状態で搬送作業を行うと、チャンバ内にウェハが搬送されていない状況下で工程が進むことになり、チャンバが損傷してしまう。これを防ぐ目的で、各チャンバの出入り口には光センサが設けられ、ロボットアーム上のウェハの有無を確認している。

【0006】

【発明が解決しようとする課題】

しかしながら、上記した各チャンバの出入り口に光センサを設けることでロボットアーム上のウェハの有無を確認する方法においては、以下のようないくつかの問題があることを本発明者らは見出した。

【0007】

すなわち、たとえばCVD (Chemical Vapor Deposition) 法による成膜、PVD (Physical Vapor Deposition) 法による成膜、およびドライエッティングなどの各チャンバ内でウェハに施す処理においては、処理中にウェハに加わる熱応力やウェハの搬送中の事故などにより、ウェハの一部に割れやクラックが発生する場合がある。クラックが生じているウェハにおいては、ウェハに応力がかかるとそのクラックを起点にウェハが割れる可能性がある。上記した光センサは、ロボットアーム上のウェハの有無を判別する目的で設けられていることから、一般的にはウェハの特定の箇所のみを観察しており、ウェハの一部に生じた割れまたはクラックを完全に検知することができない問題があることを本発明者らは見出した。

【0008】

上記した割れやクラックが生じた状態でウェハを次のチャンバに搬送し、たと

えばPVD法による金属膜の成膜工程を行うと、ウェハを固定する静電チャック上にその金属膜が成膜してしまい、静電チャックおよびチャンバ内の他のシールド部品などを交換しなければならない問題がある。そのため、割れやクラックが生じたウェハが通過した全てのチャンバはクリーニングを含むメンテナンスが必要となり、半導体集積回路装置の製造に再着工できるようになるまでに長時間かかるという問題がある。また、交換やクリーニングが必要になることから、半導体集積回路装置の製造コストの上昇を招くという問題がある。

【0009】

また、ロードロック室で待機している他のウェハに割れたウェハの破片が飛散すると、その待機しているウェハも傷付き、欠陥品となってしまう問題がある。近年、ウェハの大口径化が進められているが、口径が大きくなるに従い1枚当たりのウェハのコストも上昇する。欠陥品となったウェハが増えることによりさらに半導体集積回路装置の製造コストが上昇することから、上記不具合への対策がなおさら必要となる。

【0010】

ここで、本発明者らは、上記したウェハに生じた割れやクラック等を検知する技術という観点で公知例を調査した。

【0011】

たとえば、特開昭61-263135号公報には、ウェハの周辺部にレーザービームを照射し、その反射光を反射光検出装置により検出し、その反射光検出装置の検出出力に基づいてウェハの周辺部の割れやクラックを検出する技術について開示されている。

【0012】

また、特開平7-58175号公報には、割れの生じているウェハにおいても、ウェハの外形形状を撮像し、ウェハの外形形状を示す映像信号を画像処理することによりウェハの重心を検出し、ウェハを途中で落下または脱落させることなく搬送を行い、ウェハの素子形成面に形成された電気素子回路の良・不良を検査するウェハ検査装置について開示されている。

【0013】

また、特開昭60-85511号公報には、バッチ方式のチャンバを採用した半導体製造装置において、割れたウェハは重心が移動しウェハ載置器上にて傾くことから、割れたウェハと接触することで割れを検知するマイクロスイッチまたは光学的センサーによりウェハの割れを検知し、半導体製造装置の可動を停止する手段について開示されている。

【0014】

また、特開平6-308042号公報には、所定の波長の散乱光をウェハに照射し、ウェハからの反射光をカメラにて撮像し、撮像された画像をモニタに映し出すことによりウェハに生じたクラックを観察および検知する手段について開示されている。

【0015】

また、特開昭64-9303号公報には、カメラにてウェハを撮像し、撮像された画像を2値化した後に、2値化された画像をフーリエ変換を用いて処理することにより、ウェハの中心（重心）位置を決める技術について開示されている。

【0016】

本発明の目的は、マルチチャンバ方式を採用した半導体製造装置を用いてウェハに処理を施す工程において、ウェハに生じた割れやクラック等のような異常を検知することのできる技術を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

すなわち、本発明は、複数の処理室を有する半導体製造装置において、前記複数の処理室のうち第1処理室にて1枚の半導体ウェハに対して第1処理を施した後、前記複数の処理室のうち第2処理室にて前記1枚の半導体ウェハに対して第

2処理を施す前に、前記1枚の半導体ウェハの全体平面の画像を取得する工程と、前記半導体ウェハの全体平面の画像を検証することにより、前記半導体ウェハが正常または異常かを判定する工程と、前記半導体ウェハが正常と判定された場合には、前記半導体ウェハを前記第2処理室へ搬送し、前記半導体ウェハに対して前記第2処理を施す工程と、前記半導体ウェハが異常と判定された場合に前記半導体製造装置の稼動を停止する工程とを含むものである。

【0020】

また、本発明は、複数の処理室を有する半導体製造装置を用い、半導体ウェハを前記複数の処理室のうちの第1処理室に搬送し、前記半導体ウェハに第1処理を施す工程と、前記半導体ウェハを前記第1処理室から取り出した後、前記半導体ウェハの全体平面の画像を撮影手段にて撮影し、撮影した全体平面の画像を第1映像とする工程と、前記第1映像を識別手段に取り込み、前記半導体ウェハに対して損傷の有無を判定する工程と、前記半導体ウェハに損傷が生じていると判定した場合に、前記半導体製造装置の稼動を停止する工程と、前記半導体ウェハに損傷が生じていないと判定した場合に、前記半導体ウェハを第2処理室に搬送し、前記半導体ウェハに第2処理を施す工程とを含むものである。

【0021】

また、本発明は、

- (a) 複数の処理室が搬送室と機械的に接続し、
- (b) 前記搬送室には前記複数の処理室のうち所定の処理室にて所定の処理が施された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、
- (c) 前記半導体ウェハの全体平面の画像を検証することにより前記半導体ウェハが正常または異常かを判定する機能を有し、
- (d) 前記半導体ウェハが異常と判定された場合にはその稼動を停止する機能を有するものである。

【0022】

また、本発明は、

- (a) 複数の処理室が搬送室と機械的に接続し、
- (b) 前記搬送室には前記複数の処理室のうち所定の処理室にて所定の処理が施

された半導体ウェハの全体平面の画像を取得する撮影手段が設けられ、

(c) 前記半導体ウェハの全体平面の画像と予め記録されている正常な半導体ウェハの全体平面の画像とを比較することにより、前記半導体ウェハにおける損傷の有無を判定する識別手段を有し、

(d) 前記識別手段が前記半導体ウェハに損傷が生じていると判定した場合にはその稼動を停止する機能を有するものである。

【0023】

【発明の実施の形態】

本実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

【0024】

ウェハとは、集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板ならびにそれらの複合的基板をいう。また、本願において、半導体集積回路装置というときは、シリコンウェハやサファイア基盤等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨が明示された場合を除き、TFT (Thin-Film-Transistor) およびSTN (Super-Twisted-Nematic) 液晶等のようなガラス等のほかの絶縁基板上に作られるもの等も含むものとする。

【0025】

枚葉式または枚葉処理とは、ウェハに対して各種の処理を行う場合に、ウェハを1枚ずつ処理する方式をいう。処理条件をウェハ毎に制御できるので、処理の制度や再現性に優れ、さらに、装置自体の小型化に有利である。

【0026】

損傷とは、ウェハの割れ、欠けまたはクラック等のような外観の不良をいう。

【0027】

以下の実施の形態においては、便宜上その必要があるときは複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細または補足説明等の関係にある。

【0028】

また、以下の実施の形態において、要素の数等（個数、数値、量および範囲等を含む）に言及する場合、特に明示した場合および原則的に明らかに特定の数に限定される場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0029】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原則的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。

【0030】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原則的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0031】

また、本実施の形態で用いる図面においては、平面図であっても図面を見やすくするために、ウェハ上に形成された薄膜にはハッチングを付す場合もある。

【0032】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0033】

(実施の形態1)

図1は、本実施の形態1のマルチチャンバ方式の半導体製造装置の構成図である。

【0034】

この半導体製造装置は、搬送室1、ロードロック室2およびプロセスチャンバ3A～3D（処理室）を有しており、搬送室1の周りにロードロック室2およびプロセスチャンバ3A～3Dが配置された枚葉式の半導体製造装置である。搬送

室1内にはロボットアーム4が設けられ、このロボットアーム4によりウェハをロードロック室2またはプロセスチャンバ3A～3Dへ搬送することができる。プロセスチャンバ3A～3Dにおいては、各々異なる処理をウェハに施すものである。この搬送室1、ロードロック室2およびプロセスチャンバ3A～3Dの内部は真空状態に保たれており、ウェハの搬送は半導体製造装置の外部の雰囲気に触れることなく行うことができる。つまり、本実施の形態1の半導体製造装置においては、ウェハの表面が反応してしまうことを防ぎつつ、ウェハに対して各処理を施すことができる。図1においては、プロセスチャンバ3A～3Dが4個の場合を図示したが、ウェハを半導体製造装置の外部の雰囲気に触れることなく行う工程が4工程以上である場合には、工程数に合わせて必要なチャンバを増設することが可能である。また、その工程数が4工程以下である場合には、その工程数に合わせてチャンバを4個から減らしてもよい。

【0035】

図1に示した半導体製造装置においては、プロセスチャンバ3Aからプロセスチャンバ3Dへと順にウェハに処理を施すものとする。また、図2に示すように、ロードロック室2には、プロセスチャンバ3A～3Dにて処理の施された処理済ウェハ5および処理の施されていない未処理ウェハ6を収納することが可能である。

【0036】

ロードロック室2に収納された未処理ウェハ6は、ロボットアーム4によりロードロック室2より取り出され、プロセスチャンバ3A（処理室、第1処理室）に搬送される。プロセスチャンバ3Aに搬送された未処理ウェハ6は、ウェハからの脱ガスを行う熱処理（第1処理）や、素子形成面（第1面）にエッチングまたは薄膜の成膜などの処理（第1処理）が施された後、ロボットアーム4によりプロセスチャンバ3Aより取り出される。

【0037】

ところで、プロセスチャンバ3Aにおいては、処理中にウェハ加わる熱応力やウェハの搬送中の事故などにより、ウェハの一部に割れやクラック等のような損傷が発生する場合がある。そこで、本実施の形態1では、搬送室1において各ブ

ロセスチャンバの出入口付近に、ウェハの全体の二次元画像データを取得する撮影手段を設けた。図3は、その説明図である。ここで、図3の構成を説明する。

【0038】

搬送室1においては、プロセスチャンバ3Aへの出入口付近に、たとえば魚眼レンズなどのような広角レンズ7（撮影手段）が設けられている。これにより、搬送室1の上部からCCD（Charge Coupled Device）カメラなどのカメラ8（撮影手段）により、プロセスチャンバ3Aにて処理が施された直後のロボットアーム4上のウェハ9の全体像を撮影することを可能としている。このウェハ9の全体像は二次元画像である。この時、観察対象のウェハ9の径が200mmである場合に、その画素数が25万画素であるカメラ8を用い、1回の撮影でウェハ9の全体像を撮影することを例示できる。

【0039】

また、同様の理由から、プロセスチャンバ3B～3D各々への出入口付近にも広角レンズ7が設けられ、搬送室1の上部からCCDカメラなどのカメラ8により、プロセスチャンバ3B～3D各々にて処理が施された直後においてもロボットアーム4上のウェハ9の全体像を撮影することを可能としている。

【0040】

次に、カメラ8により撮影されたウェハ9の全体像を処理する工程およびウェハ9の全体像を処理した後の半導体製造装置を制御する工程について、図3および図4を用いて説明する。図4は、カメラ8により撮影されたウェハ9の全体像を処理する工程およびウェハ9の全体像を処理した後の半導体製造装置を制御する工程をフロー図で示したものである。

【0041】

まず、ロボットアーム4によりウェハ9をプロセスチャンバ3Aから搬送室1内へ取り出した後、広角レンズ7を介してカメラ8によりウェハ9の全体像が撮影できる位置にて、ロボットアーム4によりウェハ9を保持する。

【0042】

次に、広角レンズ7を介してカメラ8によりウェハ9の全体像を撮影する。撮影されたウェハ9の全体像（第1映像）はカメラ8から識別機10（識別手段）

へ送られた後、識別機10により信号処理（画像処理）が施される。この信号処理により、ウェハ9の全体像は、たとえば256階調（複数階調）のグレースケールの画像データに変換される。また、撮影されたウェハ9の全体像は、識別機10が有するモニタ画面に表示することができる。

【0043】

信号処理が施されたウェハ9の全体像は、識別機10に予め記録されている割れまたはクラックの生じていないウェハ9の全体像の画像データと比較される。ウェハ9に割れまたはクラックが生じている場合には、グレースケールの画像データにおいて、割れまたはクラックが生じている部分においてグレースケールの色調が異なることから、割れまたはクラックが生じていることを検知することができる。この比較の結果、カメラ8により撮影されたウェハ9に割れまたはクラックが生じていないことを確認した場合には、ウェハ9はプロセスチャンバ3B（処理室、第2処理室）へ搬送され、次の処理（第2処理）が施される。逆に、割れまたはクラックが生じていることが検知された場合には、識別機10より本実施の形態1の半導体製造装置を制御するコンピュータ11へエラー信号が送信される。

【0044】

エラー信号を受信したコンピュータ11は、本実施の形態1の半導体製造装置ヘインターロック信号を発信し、搬送室1内およびプロセスチャンバ3A内での稼動を停止する。この時、プロセスチャンバ3B～3Dが稼動中の場合には、プロセスチャンバ3B～3D内のウェハへの処理が終了した時点でプロセスチャンバ3B～3Dの稼動を停止し、処理の施されたウェハをそのままプロセスチャンバ3B～3D内にて待機させる。コンピュータ11は、本実施の形態1の半導体製造装置ヘインターロック信号を発信すると共に、たとえばパイロットランプ12を点灯させ、オペレータ用コンピュータ13にエラー内容を表示させることにより、本実施の形態1の半導体製造装置を扱う作業者に搬送室1内およびプロセスチャンバ3A内での稼動が停止したことを知らせることができる。

【0045】

上記のようにウェハ9に異常が検出された場合には、割れまたはクラックが検

知されたウェハ9を回収する。続いて、搬送室1およびプロセスチャンバ3Aのメンテナンスを行う。

【0046】

搬送室1のメンテナンスは、図5に示すように、搬送室1の大気開放を行う。続いて、クリーニングにより、搬送室1内に飛散したウェハ9の破片および塵などを除去する。これは、搬送室1のメンテナンスが完了し、本実施の形態1の半導体製造装置の稼動が再開した際に、搬送室1を通過するウェハ9に割れたウェハ9の破片または塵が付着することを防ぐために行うものである。

【0047】

次に、搬送室1の真空引きを行い、続いてベーキングにより搬送室1を加熱することにより、搬送室1内に付着した水分を除去する。その後、リークチェックにより、搬送室1の真空漏れの有無をチェックし、真空漏れのないことが確認されたら、搬送室1のメンテナンスは完了となる。

【0048】

ここで、プロセスチャンバ3Aのメンテナンスの一例として、プロセスチャンバ3Aが真空状態で処理を行うスパッタリング（物理的成膜方法）装置である場合のメンテナンスを図6を用いて説明する。

【0049】

まず、プロセスチャンバ3Aの大気開放を行う。続いて、静電チャックおよびシールドなどのプロセスチャンバ3A（スパッタリング装置）が有する部品のうち、その表面にスパッタリングによって薄膜が成膜してしまったものを取り外す。これは、プロセスチャンバ3Aのメンテナンスが終了し、本実施の形態1の半導体製造装置の稼動が再開した際に、プロセスチャンバ3Aが有する部品に成膜してしまった薄膜が、プロセスチャンバ3Aに搬入されてくるウェハ9に付着してしまうことを防ぐために行うものである。

【0050】

次に、クリーニングにより、プロセスチャンバ3A内に飛散したウェハ9の破片および塵などを除去する。これは、搬送室1のメンテナンスにおける工程P6B（図5参照）の場合と同様に、プロセスチャンバ3Aのメンテナンスが完了し

、本実施の形態1の半導体製造装置の稼動が再開した際に、プロセスチャンバ3 Aに搬入されてくるウェハ9に割れたウェハ9の破片または塵が付着することを防ぐために行うものである。

【0051】

次に、部品交換により、取り外した部品と同種の部品を新たにプロセスチャンバ3 Aに取り付ける。次に、プロセスチャンバ3 Aの真空引きを行い、続いてベーキングによりプロセスチャンバ3 Aを加熱することにより、プロセスチャンバ3 A内に付着した水分を除去する。続いて、リークチェックにより、プロセスチャンバ3 Aの真空漏れの有無をチェックし、真空漏れのないことを確認したら次の工程に進む。

【0052】

次に、プロセスチャンバ3 Aにより約25枚～70枚のウェハに対して空放電を行う。この空放電は、搬送室1およびプロセスチャンバ3 Aのメンテナンスが完了し、本実施の形態1の半導体製造装置の稼動が再開した際に、プロセスチャンバ3 A内でのウェハに対する成膜工程の安定性を確保するために行うものである。

【0053】

次に、装置QC (Quality Control) により、プロセスチャンバ3 Aを試験的に稼動させ、プロセスチャンバ3 Aによって形成される薄膜の品質をチェックすることにより、プロセスチャンバ3 Aが正常に動作しているか否かを確認する。ここで言う品質とは、たとえばその薄膜がアルミニウム (A1) である場合には、薄膜のシート抵抗、反射率、膜厚および薄膜中の異物の有無などである。

【0054】

続いて、先行QCにより、プロセスチャンバ3 Aを製品用のウェハに対する成膜工程と同様の条件で稼動させ、形成される薄膜の品質をチェックする。ここで言う品質とは、たとえばその薄膜がA1である場合には、薄膜のシート抵抗、反射率、膜厚および薄膜中の異物の有無などである。この工程P60によりプロセスチャンバ3 Aに異常が発見されなければプロセスチャンバ3 Aのメンテナンスは完了となり、搬送室1のメンテナンスも完了している場合には、本実施の形態

1の半導体製造装置の稼動を再開することができる。

【0055】

本実施の形態1の撮影手段を設けず、プロセスチャンバ3Aの出入り口に光センサを設けることでロボットアーム上のウェハ9の有無を確認する方法の場合は、一般的にウェハ9の特定の箇所のみを観察していることから、ウェハ9の一部に生じた割れまたはクラックを検知することができない場合がある。そのため、半導体製造装置の稼動を停止せずに、ウェハ9を次工程のプロセスチャンバ3Bに搬送しウェハ9に対して所定の処理を施してしまうことになる。たとえばプロセスチャンバ3Bがスパッタリング装置の場合には、静電チャックおよびシールドなどのプロセスチャンバ3Bが有する部品にも薄膜を成膜してしまうことになる。特に、静電チャックタイプのヒーターに薄膜を付けたり、傷を付けたりしてしまうと、均一な温度が保てなくなってしまうために交換が必要となる。さらに、プロセスチャンバ3Bにおける処理後においてもウェハ9に生じた割れまたはクラックを検知することができない場合には、ウェハ9はそのままプロセスチャンバ3Cに搬送され、次の処理が施されることになる。すなわち、上記プロセスチャンバの被害は、複数の各プロセスチャンバにも及ぶことになり、割れまたはクラック等の生じたウェハ9に対して処理を施したプロセスチャンバについては、搬送室1およびプロセスチャンバ3Aと同様にメンテナンスを行わなければならなくなる。すなわち、手間のかかるメンテナンスが各プロセスチャンバごとに必要となる結果、半導体製造装置が着工を再開するまでに時間（短くても約24時間はかかる）を要することになり、納期遅れや製造コスト増大の原因となる。プロセスを短時間にしかも歩留りよく行うためにマルチチャンバを採用しているにもかかわらず、チャンバの数が増えれば増えるほど上記問題は重大な問題となる。

【0056】

これに対して、本実施の形態1の半導体製造装置においては、プロセスチャンバ3A～3D各自にて処理が施された直後にロボットアーム4上のウェハ9の全体像を撮影し、ウェハ9における割れまたはクラックの有無を判別する。そのため、割れまたはクラックの生じたウェハ9が、次工程が行われるプロセスチャン

バまたはロードロック室2へ搬入されることを確実に防ぐことができる。すなわち、ウェハ9に割れまたはクラックが検出された場合には、ウェハ9に割れまたはクラックが検出された直前の工程に用いたプロセスチャンバおよび搬送室のみのメンテナンスとすることができます。その結果、他のプロセスチャンバのメンテナンスを省略できることから、プロセスチャンバのメンテナンスにかける時間を短縮することができる。さらに、他のプロセスチャンバのメンテナンスを省略できることから、他のプロセスチャンバにおいては部品交換の必要がなくなり、部品交換に要した時間を短縮することができる。また、他のプロセスチャンバにおいては部品交換の必要がなくなることから、本実施の形態1の半導体製造装置を用いて製造される半導体集積回路装置の製造コストを低減することが可能となる。

【0057】

また、プロセスチャンバ3A～3Dにおける処理が済んだウェハ9は、再びロードロック室2へ収納される。この時、図7(a)に示すように、ロードロック室2へウェハ9を搬送中のロボットアーム4上においては、ウェハ9は割れが生じていてもロボットアーム4上に保持できる場合がある。しかしながら、図7(b)に示すようにロードロック室2においては、スロット14によりウェハ9を保持するものであり、割れの生じたウェハ9の場合にはスロット14により保持ができなくなる場合がある。スロット14により保持ができないウェハ9は、スロット14から落下し、ロードロック室2に収納されている他のウェハを傷つけてしまうことになる。また、スロット14から落下したウェハ9の破片や塵がロードロック室2内の他のウェハに飛散することから、それら他のウェハをも欠陥品としてしまう場合がある。上記光検出技術では、このような問題が生じる場合がある。

【0058】

これに対して、本実施の形態1の半導体製造装置においては、プロセスチャンバ3Dにて処理が施された直後にロボットアーム4上のウェハ9の全体像を撮影し、ウェハ9における割れまたはクラックの有無を判別する。そして、ウェハ9の割れまたはクラックを検出した場合には半導体製造装置の稼動を停止し、割れ

またはクラックを検出しなかった場合にはウェハ9をロードロック室2へ搬入する。そのため、割れまたはクラックの生じたウェハ9が、ロードロック室2へ搬入されることを確実に防ぐことができるので、ウェハ9がスロット14から落下されてしまうことを確実に防ぐことができる。すなわち、ロードロック室2における部品交換およびメンテナンスを省略できる。また、ロードロック室2に収納されている他のウェハを欠陥品としまうことを防ぐことができるので、歩留りの向上を図ることができ、半導体集積回路装置の製造コストを低減することが可能となる。

【0059】

また、ウェハの搬送中の事故によりウェハの一部に割れやクラックが発生する場合を考慮して、搬送室1のロードロック室2への出入口付近に撮影手段（図3参照）を設けてもよい。この場合、搬送室1の上部からカメラ8（図3参照）を用いて、ロボットアーム4によりロードロック室2から取り出された未処理ウェハ6（図2参照）の全体像（第3映像）を観察することができる。これにより、ロードロック室2から未処理ウェハ6を取り出す際の事故により、未処理ウェハ6の一部に割れやクラックが発生した場合でも、その割れやクラックを検知することが可能となる。

【0060】

図8は、未処理ウェハ6に割れやクラックが生じていることを検知した場合におけるロードロック室2のメンテナンス工程の一例を示すフロー図である。未処理ウェハ6に割れやクラックが生じていることを検知した場合には、まずロードロック室2の大気開放を行う。続いて、クリーニングにより、ロードロック室2内に飛散した未処理ウェハ6の破片および塵などを除去する。これは、ロードロック室2のメンテナンスが完了し、本実施の形態1の半導体製造装置の稼動が再開した際に、ロードロック室2に収納される処理済ウェハ5（図2参照）に割れた未処理ウェハ6の破片または塵が付着することを防ぐために行うものである。

【0061】

次に、ロードロック室2の内部をメタノールまたは純水などを含ませたアルファワイプなどで拭いた後、ロードロック室2の真空引きを行う。この後、ロード

ロック室2の真空漏れの有無をチェックし、真空漏れのないことが確認されたら、ロードロック室2のメンテナンスは完了となる。

【0062】

ところで、図9に示すように、本実施の形態1の半導体製造装置（図1参照）が有するプロセスチャンバを全て同種のもの、たとえばプロセスチャンバ3Aとし、ロボットアーム4によりロードロック室2から取り出した未処理ウェハ6（図2参照）を1枚ずつ各プロセスチャンバ3Aへ搬入した後、同一工程の処理を未処理ウェハ6に施してもよい。これにより、本実施の形態1の半導体製造装置のスループットを向上することができる。なお、上記の半導体製造装置が有するプロセスチャンバを全て同種のものとせず、2個以上のプロセスチャンバを同種のものとしてもよい。

【0063】

図10は、ウェハ9上に薄膜15（第1薄膜）を形成する場合において、マスクを用いてウェハ9の外周部にはその薄膜15を形成しない場合を示すものである。図10は平面図だが、図を見やすくするために薄膜15にハッチングを付す。

【0064】

ウェハ9の外周部にも薄膜15を形成した場合、その外周部に形成された不要な薄膜15は除去することが困難である。そのため、薄膜15が、たとえば銅などの金属膜であった場合には、除去されなかった薄膜15が熱処理工程などにより拡散し、半導体集積回路装置の歩留まりを低下させる原因となる。そこで、ウェハ9の外周部においては薄膜15の形成を避ける手段が考えられる。

【0065】

上記した薄膜15は、たとえば図11に示すスパッタリング装置を用いて形成することができる。そのスパッタリング装置は、たとえばターゲット16、シールド17A、17Bおよびヒーター18を有しており、ウェハ9はヒーター18上に搭載される。ターゲット16よりはじき出されるスパッタ分子19がウェハ9上に堆積することにより薄膜15は形成される。この時、シールド17Bの端部17Cがマスクとなり、ウェハ9上にはその外周部を除いて薄膜15が形成さ

れる。

【0066】

ところが、上記マスクとウェハ9との位置がずれてしまう事故が起こった場合には、図12に示すように、ウェハ9上において薄膜15の形成される領域が所定の位置から外れてしまうことになる。なお、図12は平面図だが、図を見やすくするために薄膜15にハッチングを付す。

【0067】

本実施の形態1の半導体製造装置は、上記したように、ウェハ9の一部に発生した割れやクラックをカメラ8（図3参照）により撮影されたウェハ9の全体像を処理することにより検知するので、薄膜15の形成された領域が所定の位置から外れたことを検知することも可能である。すなわち、図4を用いて前述した工程と同様の工程により、薄膜15の形成された領域が所定の位置から外れたことの検知および薄膜15を形成したプロセスチャンバと搬送室1とを稼動停止することができる。この場合、工程P4（図4参照）においては、識別機10に予め記録されている所定の位置に薄膜15が形成されたウェハ9の全体像の画像データと撮影されたウェハ9の全体像の画像データとを比較するものである。

【0068】

図13（a）は、ウェハ9上に所定の薄膜15が形成された場合のウェハ9の平面図であり、図13（b）は、事故によりウェハ9上に所定の薄膜15が形成されなかった場合のウェハ9の平面図である。本実施の形態1の半導体製造装置においては、プロセスチャンバにおいて、図13（b）に示すような所定の薄膜15が形成されない事故が起こった場合にも、図4を用いて前述した工程と同様の工程により、薄膜15が形成されなかったことを検知することが可能である。すなわち、本実施の形態1の半導体製造装置においては、薄膜15の形成工程の直後に薄膜15の成膜状況を確認することが可能である。この場合、工程P4（図4参照）においては、識別機10に予め記録されている薄膜15が形成されたウェハ9の全体像の画像データと撮影されたウェハ9の全体像の画像データとを比較するものである。

【0069】

次に、上記本実施の形態1の半導体製造装置を用いた半導体集積回路装置の製造方法について、図14～図25を用いて説明する。

【0070】

まず、図14に示すように、比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板21（ウェハ9）を 850°C 程度で熱処理して、その正面（第1面）に膜厚 10nm 程度の薄い酸化シリコン膜（パッド酸化膜）を形成し、次いでこの酸化シリコン膜の上に膜厚 120nm 程度の窒化シリコン膜をCVD法で堆積した後、フォトレジスト膜をマスクにしたドライエッティングで素子分離領域の窒化シリコン膜と酸化シリコン膜とを除去する。酸化シリコン膜は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をデンシファイ（焼き締め）するときなどに基板に加わるストレスを緩和する目的で形成される。また、窒化シリコン膜は酸化され難い性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

【0071】

続いて、窒化シリコン膜をマスクにしたドライエッティングで素子分離領域の半導体基板21に深さ 350nm 程度の溝を形成した後、エッティングで溝の内壁に生じたダメージ層を除去するために、半導体基板21を 1000°C 程度で熱処理して溝の内壁に膜厚 10nm 程度の薄い酸化シリコン膜24を形成する。

【0072】

続いて、半導体基板21上に膜厚 380nm 程度の酸化シリコン膜25をCVD法で堆積し、次いで酸化シリコン膜25の膜質を改善するために、半導体基板21を熱処理して酸化シリコン膜25をデンシファイ（焼き締め）する。その後、窒化シリコン膜をストップに用いた化学的機械研磨（Chemical Mechanical Polishing；CMP）法で酸化シリコン膜25を研磨して溝の内部に残すことにより、表面が平坦化された素子分離溝26を形成する。

【0073】

続いて、熱リン酸を用いたウェットエッティングで半導体基板21の活性領域上に残った窒化シリコン膜を除去した後、半導体基板21のnチャネル型MISFETを形成する領域にB（ホウ素）をイオン注入してp型ウエル27を形成する

【0074】

続いて、 p 型ウエル27の酸化シリコン膜をHF(フッ酸)系の洗浄液を使って除去した後、半導体基板21をウェット酸化して p 型ウエル27の表面に膜厚3.5nm程度の清浄なゲート酸化膜29を形成する。

【0075】

次に、半導体基板21上に膜厚90~100nm程度のノンドープ多結晶シリコン膜をCVD法で堆積する。続いて、イオン注入用のマスクを用いて、 p 型ウエル27の上部のノンドープ多結晶シリコン膜に、たとえばP(リン)をイオン注入して n 型多結晶シリコン膜を形成する。さらに、その n 型多結晶シリコン膜の表面に酸化シリコン膜を堆積して積層膜を形成し、フォトリソグラフィによりパターニングされたフォトレジスト膜をマスクとしてその積層膜をエッチングし、ゲート電極30およびキャップ絶縁膜31Aを形成する。なお、ゲート電極30の上部にWSix、MoSix、TiSix、TaSixまたはCosixなどの高融点金属シリサイド膜を積層してもよい。キャップ絶縁膜31Aは、たとえばCVD法により形成することができる。

【0076】

次に、ゲート電極30の加工に用いたフォトレジスト膜を除去した後、 p 型ウエル27に n 型不純物、たとえばP(リン)をイオン注入してゲート電極30の両側の p 型ウエル27に n^- 型半導体領域32を形成する。

【0077】

次に、半導体基板21上に膜厚100nm程度の酸化シリコン膜をCVD法で堆積し、反応性イオンエッティング(RIE)法を用いてこの酸化シリコン膜を異方性エッティングすることにより、 n チャネル型MISFETのゲート電極30の側壁にサイドウォールスペーサ31Bを形成する。続いて、 p 型ウエル27に n 型不純物、例えばAs(ヒ素)をイオン注入して n チャネル型MISFETの n^+ 型半導体領域33(ソース、ドレイン)を形成する。これにより、 n チャネル型MISFETQnにLDD(Lightly Doped Drain)構造のソース、ドレイン領域が形成され、 n チャネル型MISFETQnが完成する。

【0078】

次に、半導体基板21上にCVD法で酸化シリコン膜を堆積した後、たとえば酸化シリコン膜をCMP法で研磨することにより、その表面が平坦化された絶縁膜34を形成する。続いて、図15に示すように、半導体基板21の主面のn⁺型半導体領域33上の絶縁膜34に、フォトリソグラフィ技術を用いて接続孔35を開孔する。

【0079】

次に、図16に示すように、接続孔35の底部に露出したn⁺型半導体領域33の表面の反応層を除去するために、スパッタエッチングにより半導体基板21の表面処理を行う。この時、接続孔35は、その底部が上部に比べて細い順テーパー形状に加工される。このスパッタエッチング工程は、上記の本実施の形態1の半導体製造装置を用いて行われるものであり、ロードロック室2（図1参照）には、上記接続孔35を形成する工程まで済んだ半導体基板21（ウェハ9）が収納されているものとする。

【0080】

上記スパッタエッチング工程を行う前には、まずロードロック室2より取り出した半導体基板21の全体像をカメラ8（図3参照）により撮影する。この後、図4を用いて前述した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Aへ搬送する。プロセスチャンバ3Aはスパッタエッチング装置であるものとし、プロセスチャンバ3A内は、たとえばアルゴン（Ar）で満たされており、このAr雰囲気中にて半導体基板21に対してスパッタエッチングを施す。

【0081】

次に、上記スパッタエッチング工程の済んだ半導体基板21をプロセスチャンバ3Aより取り出し、図4を用いて前述した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Bへ搬送する。プロセスチャンバ3Bはスパッタリング装置であるものとし、上記スパッタエッチング工程の済んだ半導体

基板21上（接続孔35に内部を含む）に、たとえば窒化チタン（TiN）などのバリア導体膜36Aを堆積する（図17）。

【0082】

半導体基板21は、半導体集積回路装置の製造プロセス中に加わる熱ストレスや搬送トラブルによって割れやクラックが生じる場合がある。特に、その製造プロセスが、上記バリア導体膜36Aを堆積する際に用いたスパッタリング法（物理的成膜方法）、CVD法（化学的成膜方法）またはドライエッチング法などの熱を伴う処理である場合に生じやすい。

【0083】

そこで、バリア導体膜36Aの形成された半導体基板21をプロセスチャンバ3Bより取り出し、図4を用いて前述した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Cへ搬送する。プロセスチャンバ3CはCVD装置であるものとし、バリア導体膜36Aの形成された半導体基板21上に、たとえばタンゲステンなどの導電性膜36Bを堆積する（図18）。導電性膜36Bの堆積された半導体基板21は、再びロードロック室2へ収納される。

【0084】

図1を用いて説明した場合においては、本実施の形態1の半導体製造装置が有するプロセスチャンバは3A～3Dの4個である場合を例示したが、上記の半導体集積回路装置の製造工程においては、その半導体製造装置を用いる工程はスパッタエッチング工程、バリア導体膜36Aを堆積する工程および導電性膜36Bを堆積する工程の3工程であるので、本実施の形態1の半導体製造装置に設けるプロセスチャンバは3個でよい。

【0085】

次に、図19に示すように、接続孔35以外の絶縁膜34上のバリア導体膜36Aおよび導電性膜36BをたとえばCMP法により除去し、プラグ36を形成する。

【0086】

次に、図20に示すように、半導体基板21上に、たとえばプラズマCVD法

にて塗化シリコン膜を堆積し、膜厚が約100nmのエッチストッパ膜37を形成する。エッチストッパ膜37は、その上層の絶縁膜に配線形成用の溝部や孔を形成する際に、その掘り過ぎにより下層に損傷を与えたり、加工寸法精度が劣化したりすることを回避するためのものである。

【0087】

続いて、たとえばエッチストッパ膜37の表面にCVD法で酸化シリコン膜を堆積し、膜厚が約400nmの絶縁膜38を堆積する。この絶縁膜38は、塗布法にて堆積されたSOG(Spin On Glass)膜、フッ素を添加したCVD酸化膜などの低誘電率膜、塗化シリコン膜、または、さらに複数の種類の絶縁膜を組み合わせたものであってもよく、低誘電率膜を用いた場合には、半導体集積回路装置の配線の総合的な誘電率を下げることが可能であり、配線遅延を改善できる。

【0088】

次に、図21に示すように、エッチストッパ膜37および絶縁膜38を、フォトリソグラフィ技術およびドライエッチング技術を用いて加工し、配線溝39を形成する。

【0089】

次に、図22に示すように、配線溝39の底部に露出したプラグ36の表面の反応層を除去するために、アルゴン(Ar)雰囲気中にてスパッタエッチングによる半導体基板21の表面処理を行う。この時、配線溝39は、その底部が上部に比べて細い順テーパー形状に加工される。このスパッタエッチング工程は、上記の本実施の形態1の半導体製造装置を用いて行われるものであり、ロードロック室2には、上記配線溝39を形成する工程まで済んだ半導体基板21が収納されているものとする。

【0090】

上記スパッタエッチング工程を行うには、まずロードロック室2より取り出した半導体基板21の全体像をカメラ8(図3参照)により撮影する。この後、図4を用いて前述した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Aへ搬送する。プロセスチャンバ3Aはスパッタエッチング装置で

あるものとし、プロセスチャンバ3 A内は、たとえばArで満たされており、このAr雰囲気中にて半導体基板2 1に対してスパッタエッチングを施す。

【0091】

次に、上記スパッタエッチング工程の済んだ半導体基板2 1をプロセスチャンバ3 Aより取り出し、図4を用いて前述した工程により半導体基板2 1の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかつ場合には半導体基板2 1をプロセスチャンバ3 Bへ搬送する。プロセスチャンバ3 Bはスパッタリング装置であるものとし、上記スパッタエッチング工程の済んだ半導体基板2 1上（配線溝3 9の内部を含む）に、たとえばTiNなどのバリア導体膜4 0 Åを堆積する（図2 3）。

【0092】

次に、バリア導体膜4 0 Åの形成された半導体基板2 1をプロセスチャンバ3 Bより取り出し、図4を用いて前述した工程により半導体基板2 1の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかつ場合には半導体基板2 1をプロセスチャンバ3 Cへ搬送する。プロセスチャンバ3 Cはスパッタリング装置であるものとし、バリア導体膜4 0 Åの形成された半導体基板2 1上に、銅(Cu)または銅合金からなる導電性膜4 0 Bを堆積する（図2 4）。導電性膜4 0 Bの堆積された半導体基板2 1は、再びロードロック室2へ収納される。この場合、図1 6～図1 8を用いて前述したスパッタエッチング工程、バリア導体膜3 6 Aを堆積する工程および導電性膜3 6 Bを堆積する工程の場合と同様にプロセスチャンバ3 D（図1参照）は不要であるので、本実施の形態1の半導体製造装置に設けるプロセスチャンバは3個でよい。

【0093】

本実施の形態1においてはバリア導体膜4 0 ÅとしてTiN膜を例示したが、タンタル(Ta)等の金属膜あるいは金属膜と窒化膜との積層膜等であつてもよい。バリア導体膜がTa膜、窒化タンタル(TaN)膜の場合にはTiN膜を用いた場合よりCu膜である導電性膜4 0 Bとの密着性がよい。

【0094】

また、バリア導体膜4 0 ÅがTiN膜の場合には、導電性膜4 0 Bの形成直前

にTiN膜の表面をスパッタエッチングすることも可能である。この場合、本実施の形態1の半導体製造装置においては、プロセスチャンバを増設することで対応可能である。このようなスパッタエッチングにより、TiN膜の表面に吸着した水、酸素分子等を除去し、導電性膜40Bの接着性を改善することができる。この技術は、特に、TiN膜の堆積後、真空破壊して表面を大気に曝し、導電性膜40Bを形成する場合に効果が大きい。なお、この技術はTiN膜に限られず、TaN膜においても、効果の差こそあるが有効である。

【0095】

次に、図25に示すように、絶縁膜38上の余分なバリア導体膜40Aおよび導電性膜40Bを除去し、配線溝39内にバリア導体膜40Aおよび導電性膜40Bを残すことで配線40を形成し、本実施の形態1の半導体集積回路装置を製造する。バリア導体膜40Aおよび導電性膜40Bの除去は、たとえばCMP法を用いた研磨により行う。

【0096】

(実施の形態2)

本実施の形態2の半導体集積回路装置の製造方法は、前記実施の形態1の半導体製造装置を用いた半導体集積回路装置の製造方法の他の一例である。

【0097】

本実施の形態2の半導体集積回路装置の製造方法を図26～図31を用いて説明する。

【0098】

本実施の形態2の半導体集積回路装置の製造方法は、前記実施の形態1において図14～図19を用いて説明した工程までは同様である。

【0099】

その後、図26に示すように、半導体基板1の全面に、スパッタリング法により、たとえばTiNなどの導電性膜40Cを堆積する。この導電性膜40Cを堆積する工程は、前記実施の形態1の半導体製造装置を用いて行われるものであり、ロードロック室2(図1参照)には、プラグ36を形成する工程まで済んだ半導体基板21(ウェハ9)が収納されているものとする。

【0100】

導電性膜40Cを堆積する工程を行う前には、まずロードロック室2より取り出した半導体基板21の全体像をカメラ8（図3参照）により撮影する。この後、前記実施の形態1において図4を用いて説明した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Aへ搬送する。プロセスチャンバ3Aはスペッタリング装置であるものとし、このプロセスチャンバ3A内にて半導体基板21上に導電性膜40Cは堆積される。

【0101】

次に、導電性膜40Cの形成された半導体基板21をプロセスチャンバ3Aより取り出し、前記実施の形態1において図4を用いて説明した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Bへ搬送する。プロセスチャンバ3Bはスペッタリング装置であるものとし、導電性膜40Cの堆積された半導体基板21上に、たとえばアルミニウム（A1）などの導電性膜40Dを堆積する（図27）。

【0102】

次に、導電性膜40Dの形成された半導体基板21をプロセスチャンバ3Bより取り出し、前記実施の形態1において図4を用いて説明した工程により半導体基板21の割れまたはクラックの有無を判別し、割れまたはクラックが検知されなかった場合には半導体基板21をプロセスチャンバ3Cへ搬送する。プロセスチャンバ3Cはスペッタリング装置であるものとし、導電性膜40Dの形成された半導体基板21上に、たとえばTiNなどの導電性膜40Eを堆積する（図28）。導電性膜40Eの堆積された半導体基板21は、再びロードロック室2へ収納される。

【0103】

前記実施の形態1において、図1を用いて説明した場合では、半導体製造装置が有するプロセスチャンバは3A～3Dの4個である場合を例示したが、本実施の形態2の半導体集積回路装置の製造工程中においては、その半導体製造装置を

用いる工程は導電性膜40C～40Eを堆積する工程の3工程であるので、半導体製造装置に設けるプロセスチャンバは3個でよい。

【0104】

次に、図29に示すように、導電性膜40C～40Eをドライエッティング技術を用いて加工し、配線40を形成する。

【0105】

次に、図30に示すように、半導体基板21上に、たとえばCVD法により酸化シリコン膜を堆積することにより、絶縁膜41を形成する。続いて、図31に示すように、たとえばCMP法により、導電性膜40Cを研磨終点として絶縁膜41を研磨することにより、本実施の形態2の半導体集積回路装置を製造する。

【0106】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0107】

たとえば、前記実施の形態においては、プラグを形成する際のW膜の堆積をCVD法にて行う場合を例示したが、スパッタリング法であってもよい。

【0108】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0109】

すなわち、ウェハの全体像を撮影し、撮影した画像に処理を施すことでウェハを検査することにより、ウェハの一部に生じた割れまたはクラック等のような損傷を確実に検知することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である半導体製造装置の構成の説明図である。

【図2】

図1に示した半導体製造装置が有するロードロック室の説明図である。

【図3】

図1に示した半導体製造装置が有する搬送室の説明図である。

【図4】

撮影されたウェハの全体像を処理する工程およびウェハの全体像を処理した後の半導体製造装置を制御する工程を示すフロー図である。

【図5】

図1に示した半導体製造装置が有する搬送室のメンテナンス方法を示すフロー図である。

【図6】

図1に示した半導体製造装置が有するプロセスチャンバのメンテナンス方法の一例を示すフロー図である。

【図7】

(a) は割れの生じたウェハが図3に示した搬送室のロボットアーム上に載置された際の状態を示す説明図であり、(b) は割れの生じたウェハが図2に示したロードロック室内のスロット上に載置された際の状態を示す説明図である。

【図8】

図1に示した半導体製造装置が有するロードロック室のメンテナンス方法の一例を示すフロー図である。

【図9】

本発明の他の実施の形態である半導体製造装置の構成の説明図である。

【図10】

ウェハ上の外周部以外の領域に薄膜を形成した際のウェハの平面図である。

【図11】

図10に示した薄膜を形成するスパッタリング装置の一例を示す要部断面図である。

【図12】

ウェハ上に形成した薄膜が所定の位置からずれて形成されてしまった際のウェハの平面図である。

【図13】

(a) はウェハ上に所定の薄膜が形成された場合のウェハの平面図であり、(b) はウェハ上に所定の薄膜が形成されなかった場合のウェハの平面図である。

【図14】

図1に示した半導体製造装置を用いて製造する半導体集積回路装置の製造方法を示す要部断面図である。

【図15】

図14に続く半導体集積回路装置の製造工程中の要部断面図である。

【図16】

図15に続く半導体集積回路装置の製造工程中の要部断面図である。

【図17】

図16に続く半導体集積回路装置の製造工程中の要部断面図である。

【図18】

図17に続く半導体集積回路装置の製造工程中の要部断面図である。

【図19】

図18に続く半導体集積回路装置の製造工程中の要部断面図である。

【図20】

図19に続く半導体集積回路装置の製造工程中の要部断面図である。

【図21】

図20に続く半導体集積回路装置の製造工程中の要部断面図である。

【図22】

図21に続く半導体集積回路装置の製造工程中の要部断面図である。

【図23】

図22に続く半導体集積回路装置の製造工程中の要部断面図である。

【図24】

図23に続く半導体集積回路装置の製造工程中の要部断面図である。

【図25】

図24に続く半導体集積回路装置の製造工程中の要部断面図である。

【図26】

図1に示した半導体製造装置を用いて製造する半導体集積回路装置の製造方法
の他の例を示す要部断面図である。

【図27】

図26に続く半導体集積回路装置の製造工程中の要部断面図である。

【図28】

図27に続く半導体集積回路装置の製造工程中の要部断面図である。

【図29】

図28に続く半導体集積回路装置の製造工程中の要部断面図である。

【図30】

図29に続く半導体集積回路装置の製造工程中の要部断面図である。

【図31】

図30に続く半導体集積回路装置の製造工程中の要部断面図である。

【符号の説明】

- 1 搬送室
- 2 ロードロック室
- 3 A プロセスチャンバ（処理室、第1処理室）
- 3 B プロセスチャンバ（処理室、第2処理室）
- 3 C、3 D プロセスチャンバ（処理室）
- 4 ロボットアーム
- 5 処理済ウェハ
- 6 未処理ウェハ
- 7 広角レンズ（撮影手段）
- 8 カメラ（撮影手段）
- 9 ウエハ
- 10 識別機（識別手段）
- 11 コンピュータ
- 12 パイロットランプ
- 13 オペレータ用コンピュータ
- 14 スロット

1 5 薄膜（第1薄膜）

1 6 ターゲット

1 7 A シールド

1 7 B シールド

1 7 C 端部

1 8 ヒーター

1 9 スパッタ分子

2 1 半導体基板

2 4 酸化シリコン膜

2 5 酸化シリコン膜

2 6 素子分離溝

2 7 p型ウェル

2 9 ゲート酸化膜

3 0 ゲート電極

3 1 A キャップ絶縁膜

3 1 B サイドウォールスペーサ

3 2 n⁻型半導体領域

3 3 n⁺型半導体領域（ソース、ドレイン）

3 4 絶縁膜

3 5 接続孔

3 6 プラグ

3 6 A バリア導体膜

3 6 B 導電性膜

3 7 エッチストップ膜

3 8 絶縁膜

3 9 配線溝

4 0 配線

4 0 A バリア導体膜

4 0 B 導電性膜

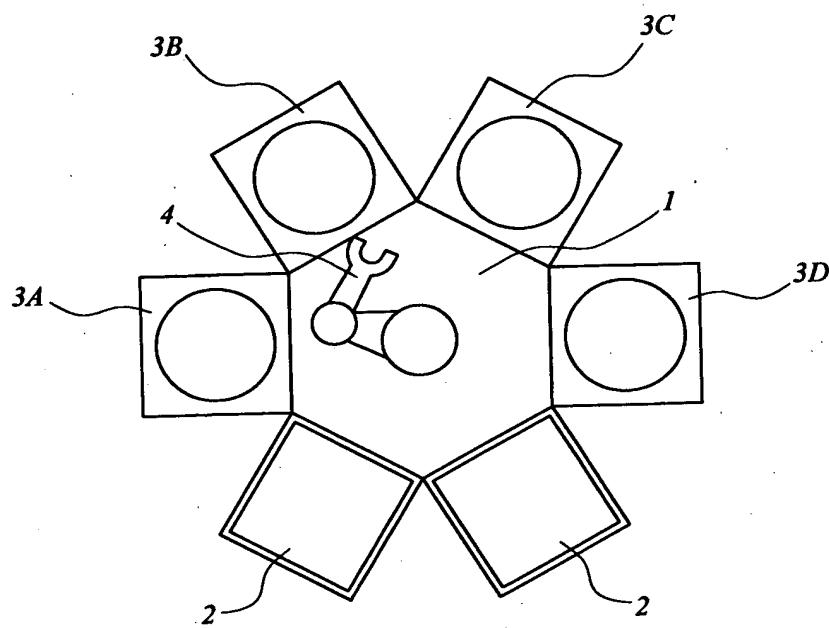
特2001-057974

40C~40E 導電性膜

【書類名】 図面

【図1】

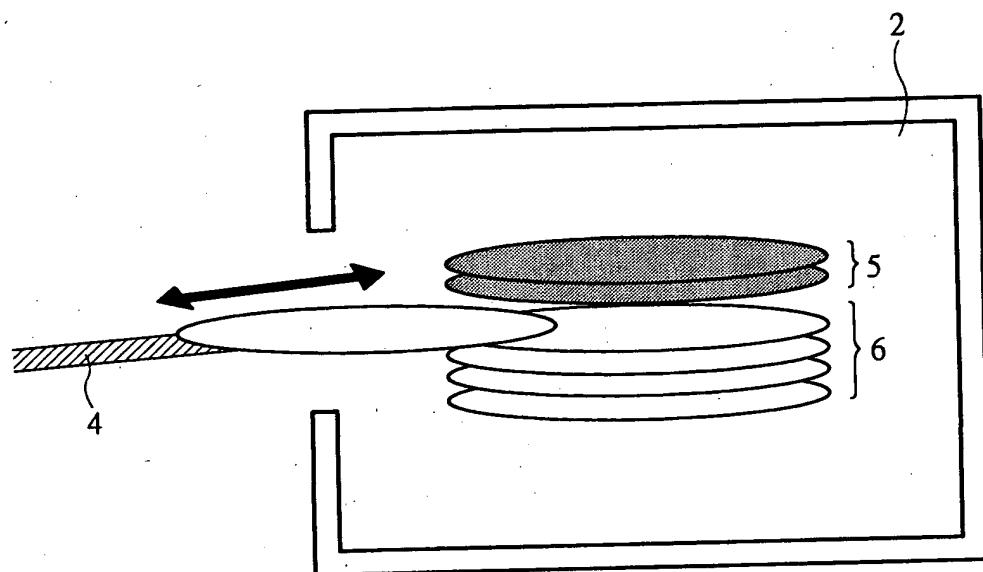
図 1



特2001-057974

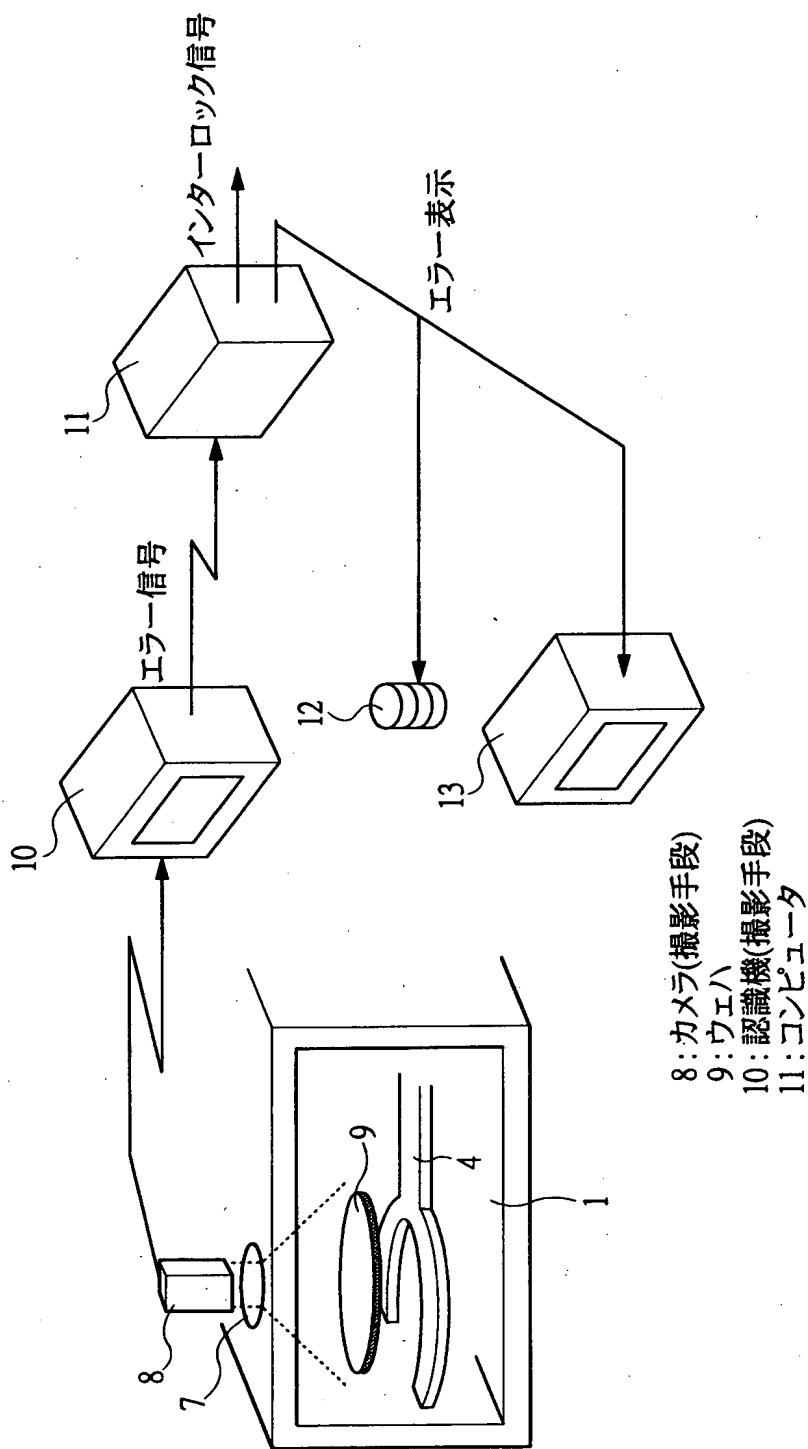
【図2】

図2



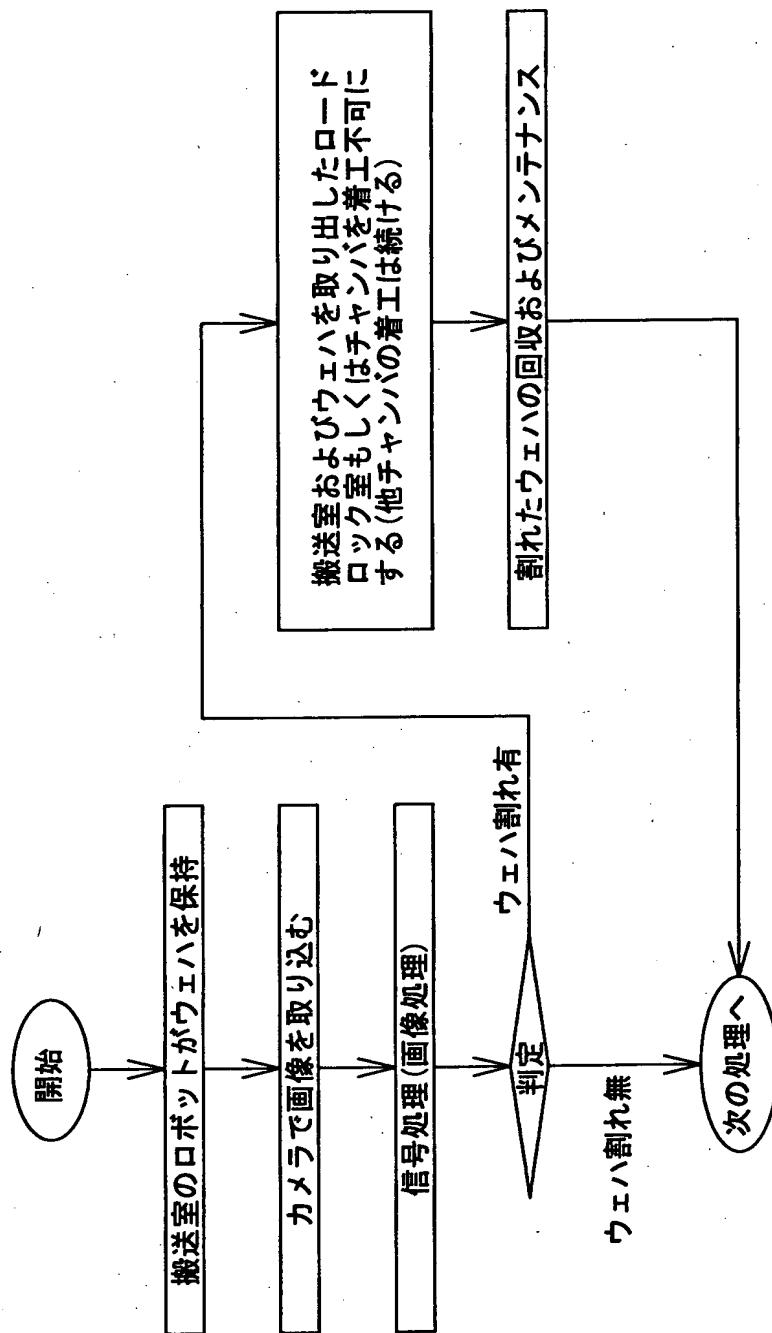
【図3】

図3



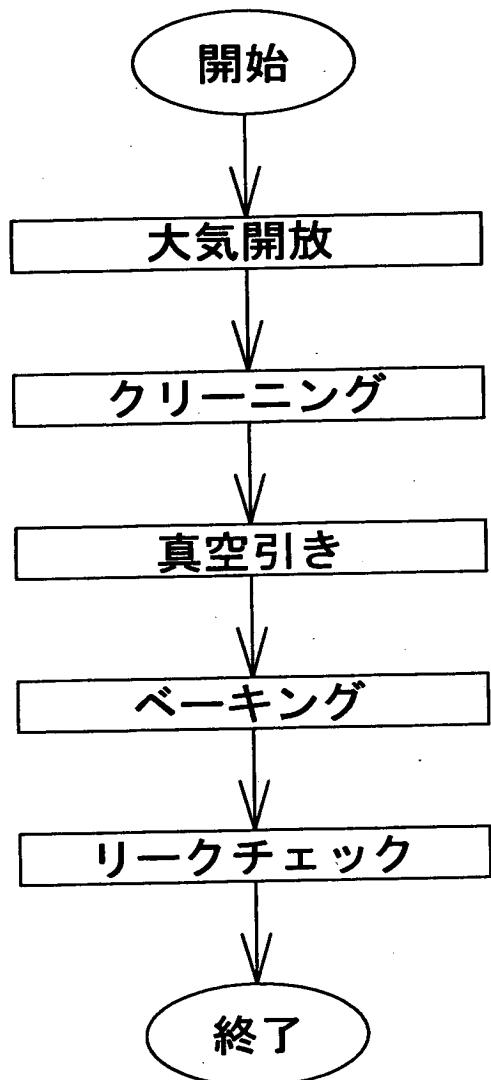
【図4】

図4



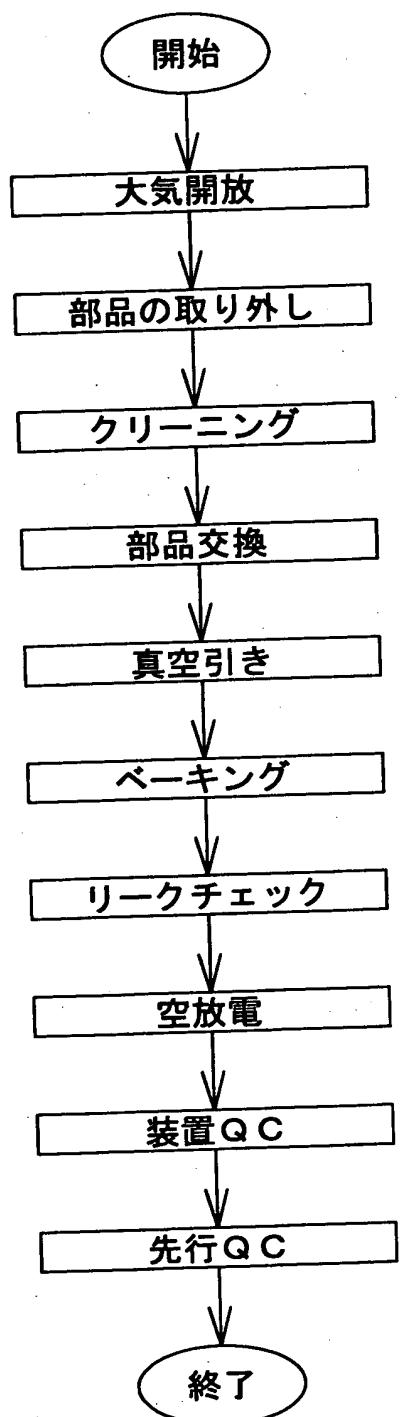
【図5】

図5



【図6】

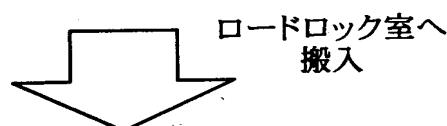
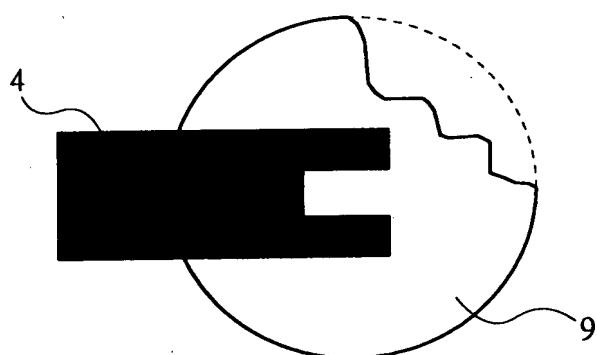
図 6



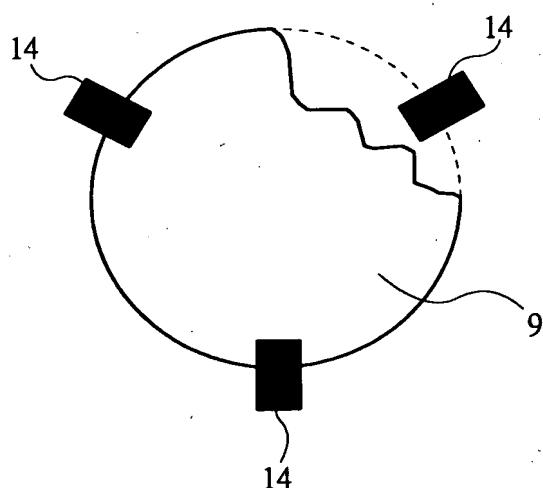
【図7】

図7

(a)

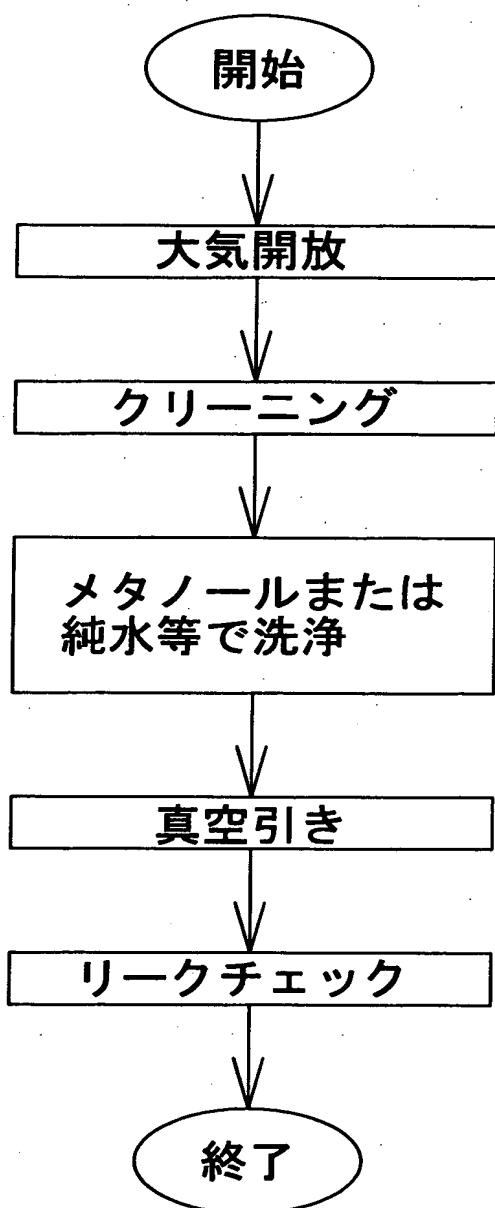


(b)



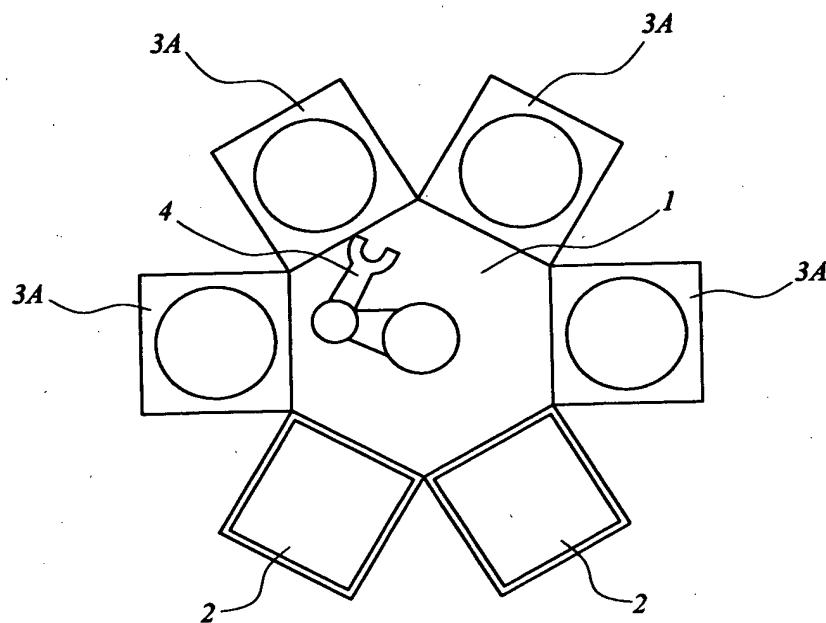
【図8】

図 8



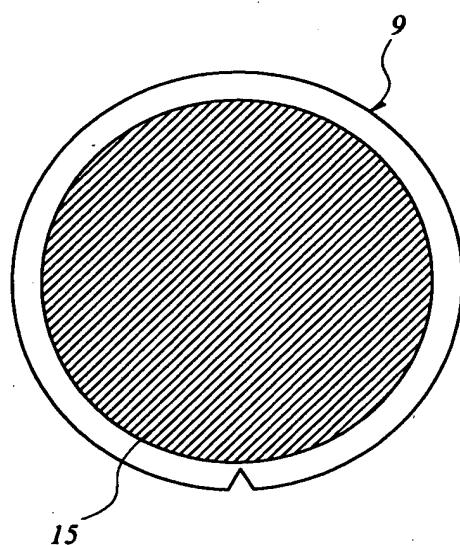
【図9】

図9



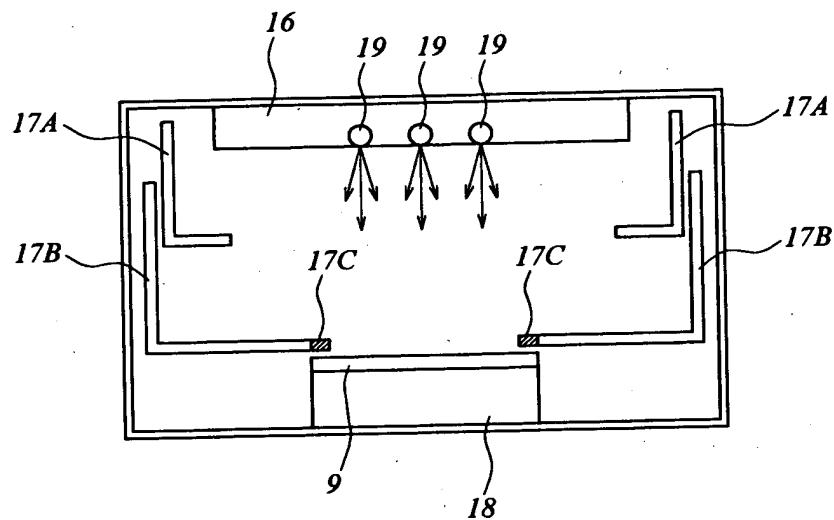
【図10】

図10



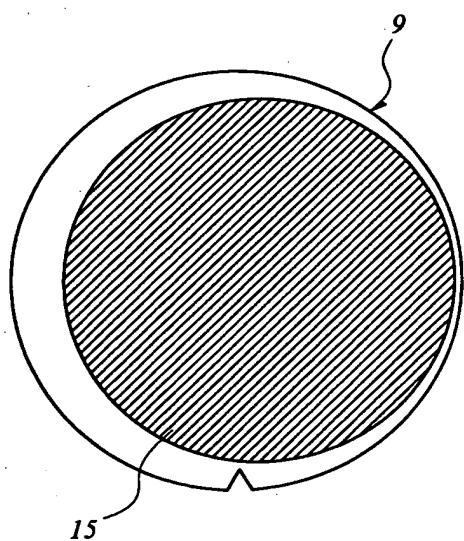
【図11】

図 11



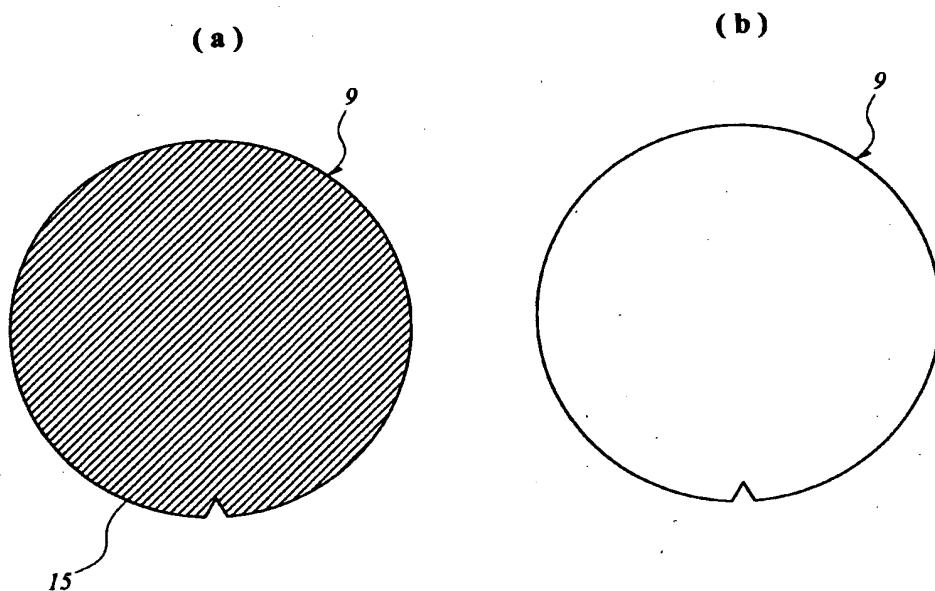
【図12】

図 12



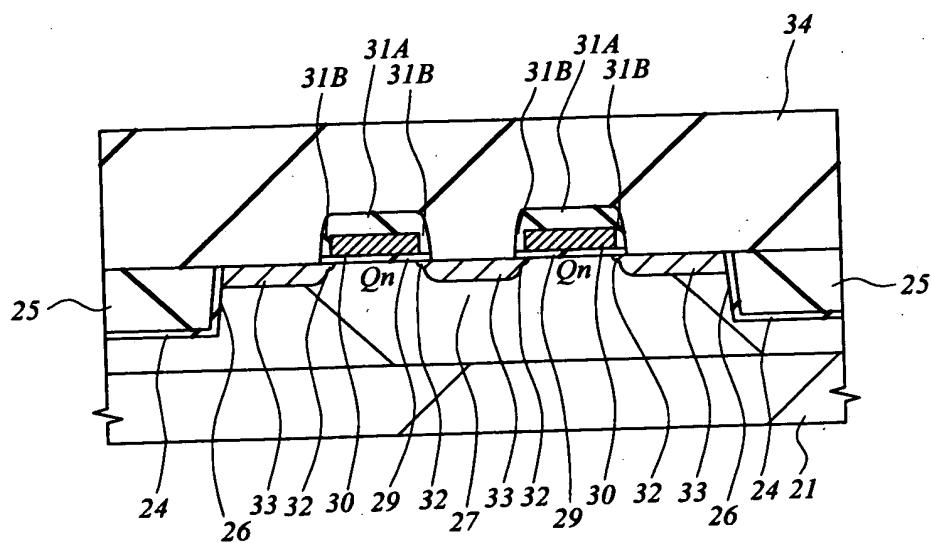
【図13】

図 13



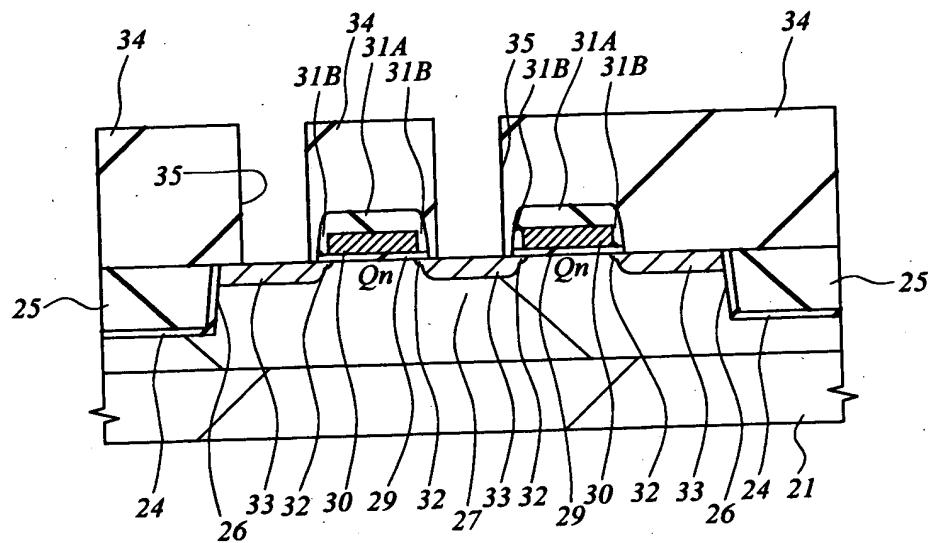
【図14】

図 14



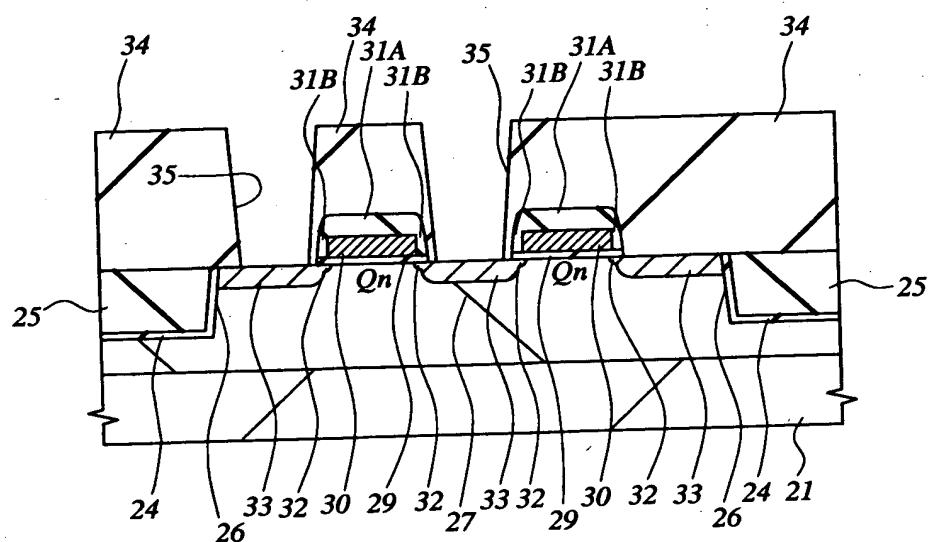
【図15】

図15



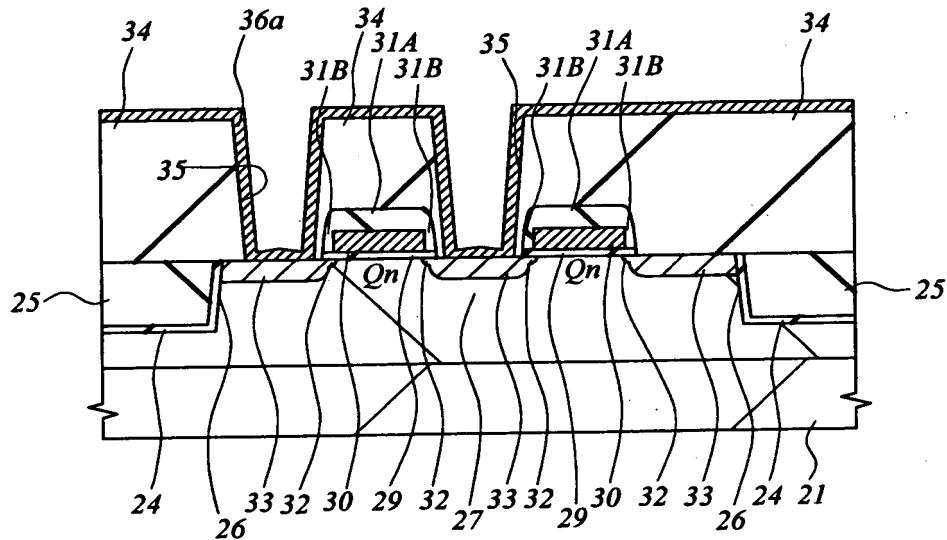
【図16】

図16



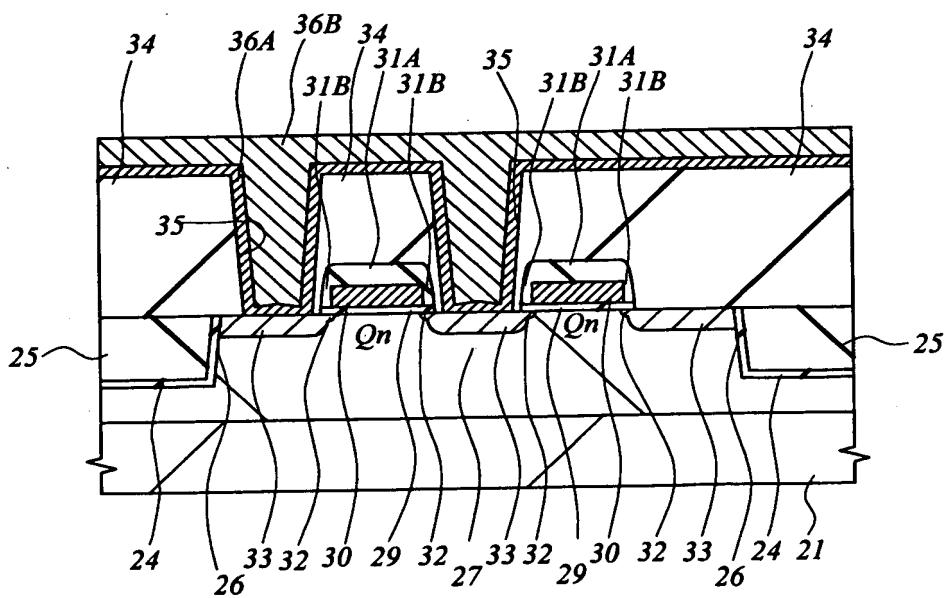
【図17】

図 17



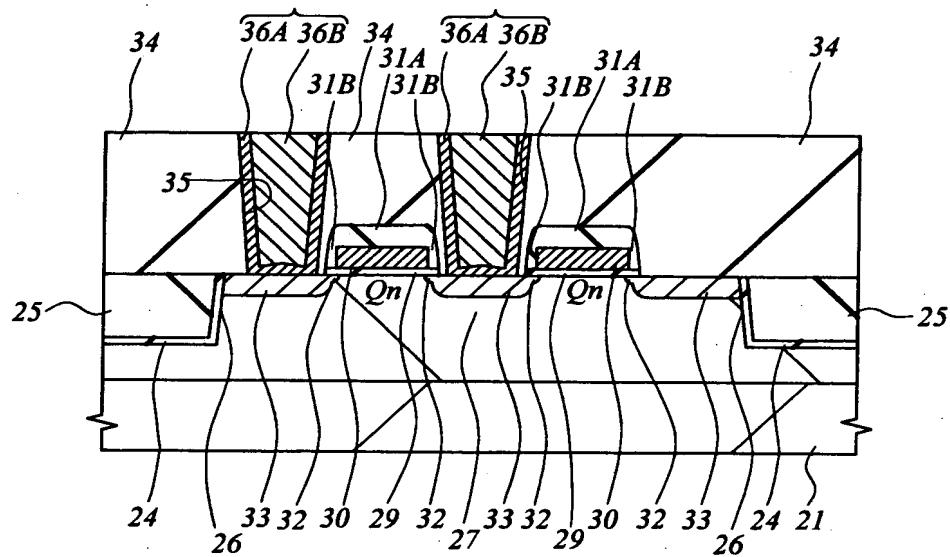
【図18】

図 18



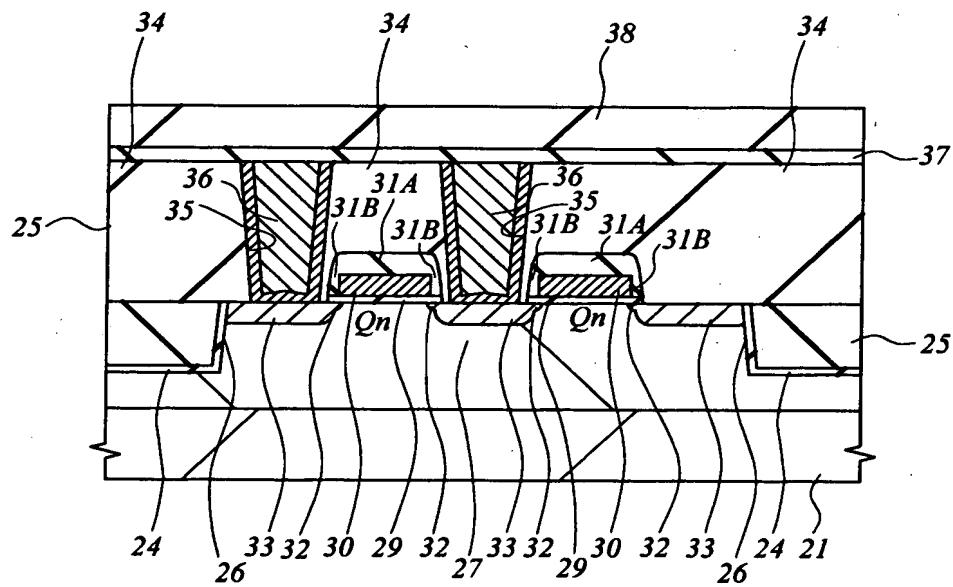
【図19】

図 19



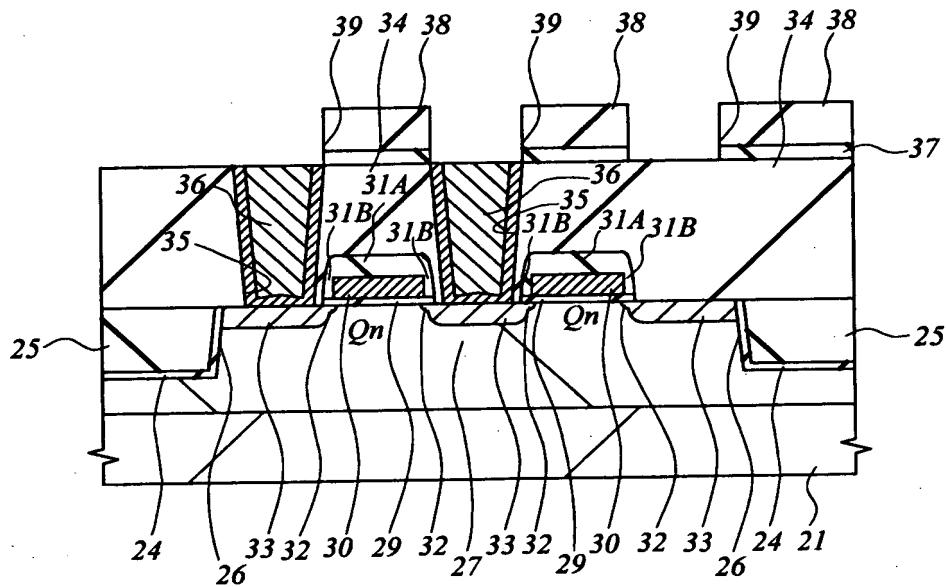
【図20】

図 20



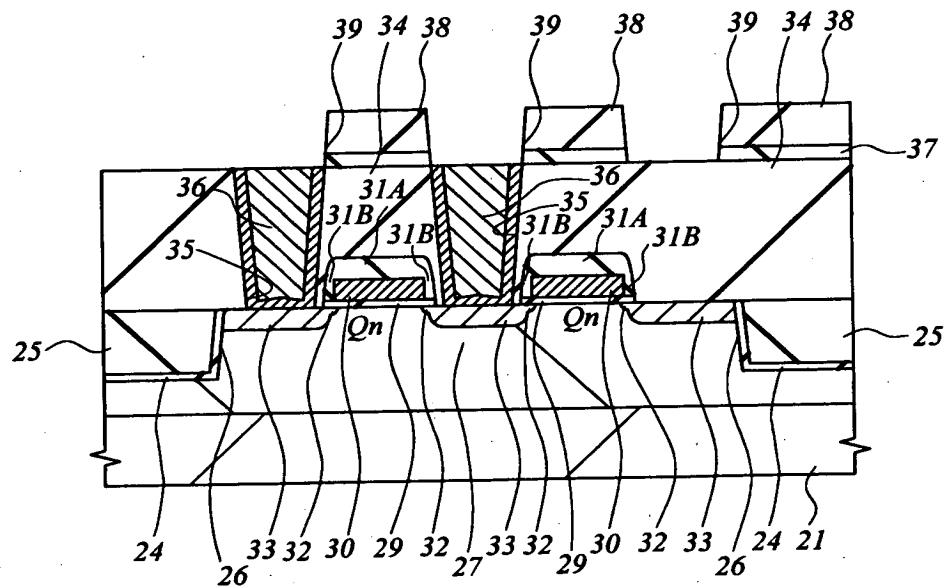
【図21】

21



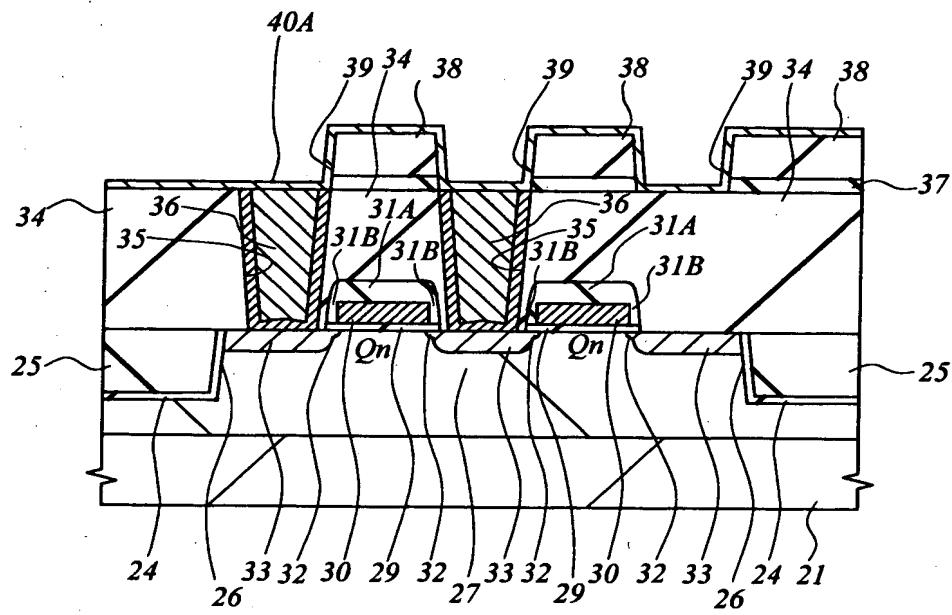
【図22】

図22



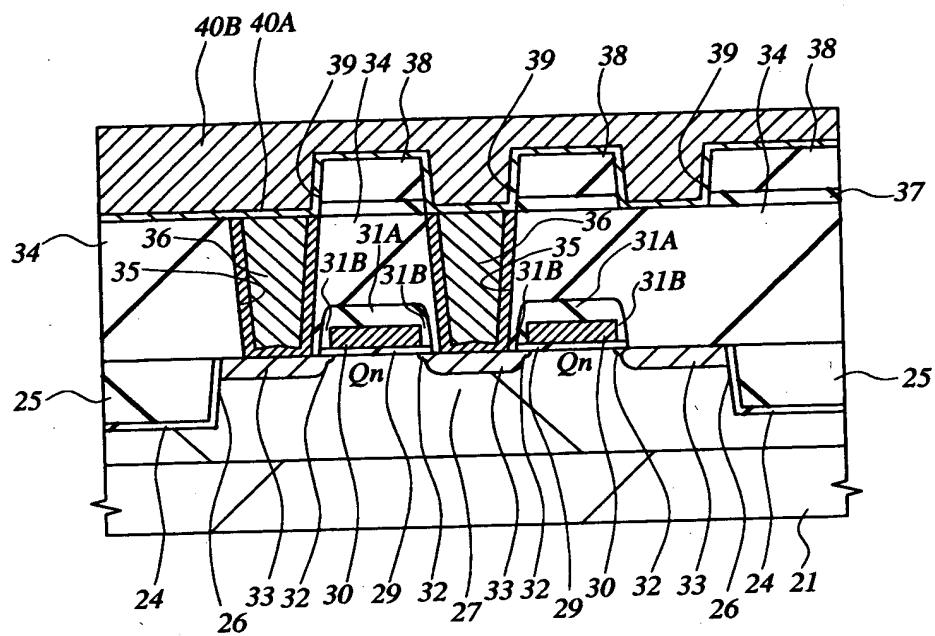
【図23】

23



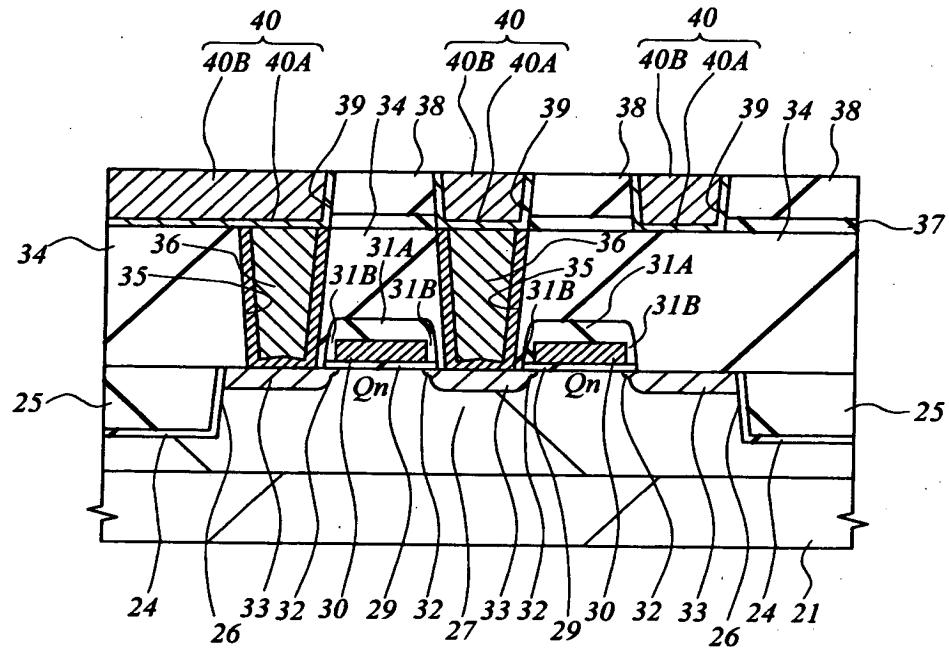
【図24】

図 24



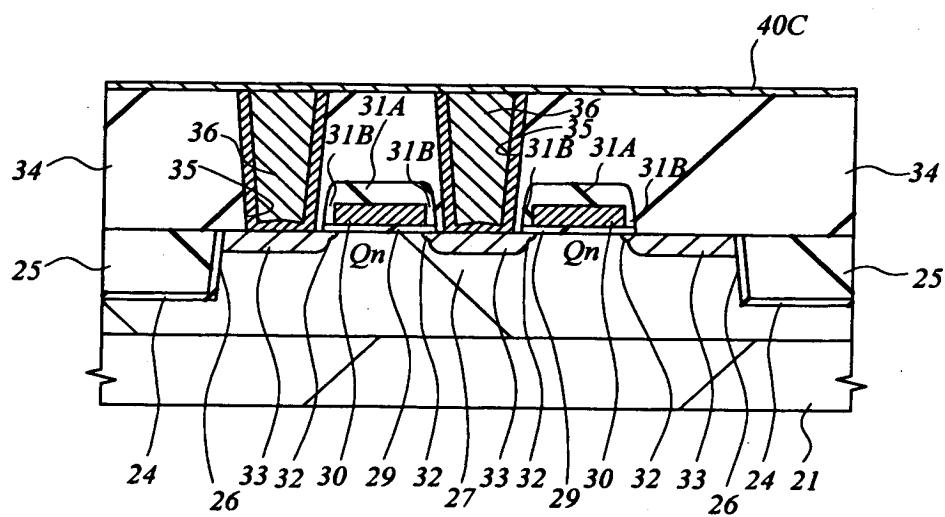
【図25】

25



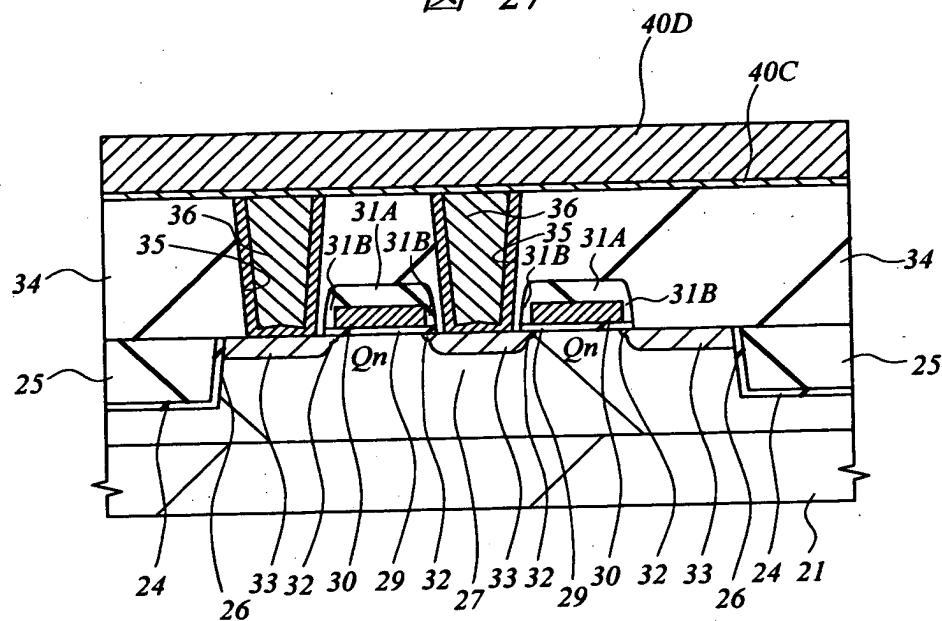
【図26】

四 26



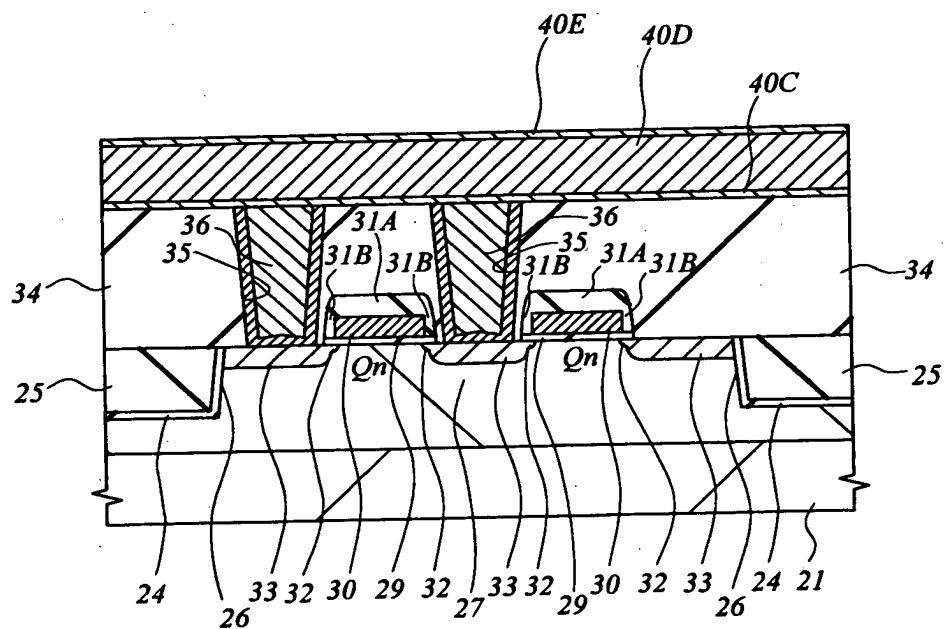
【図27】

図27



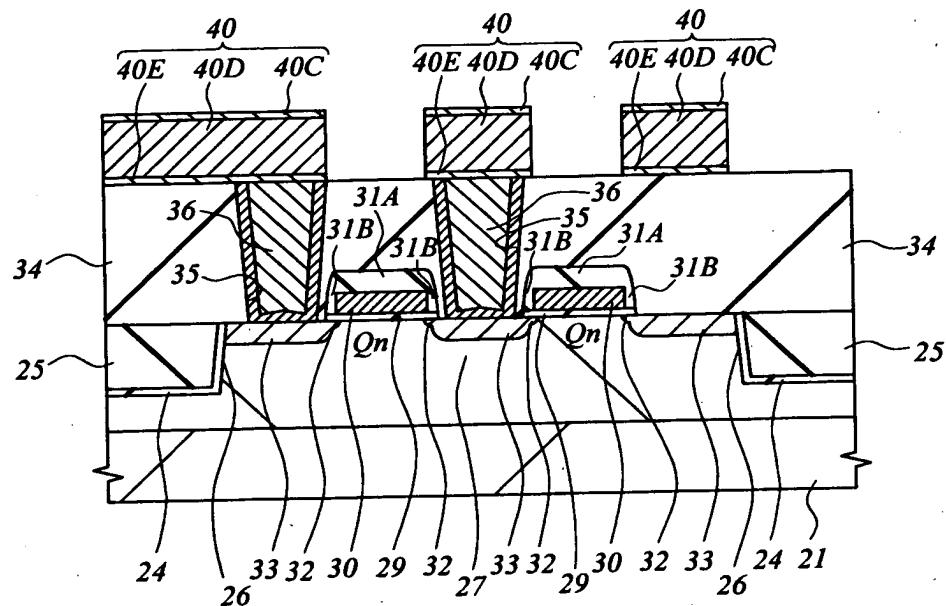
【図28】

図28



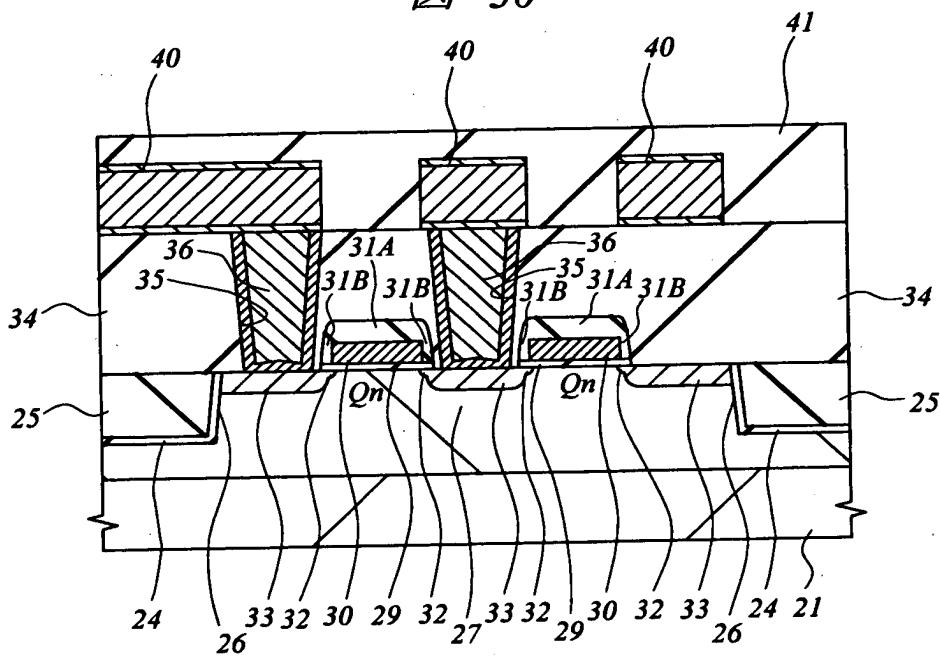
【図29】

図29



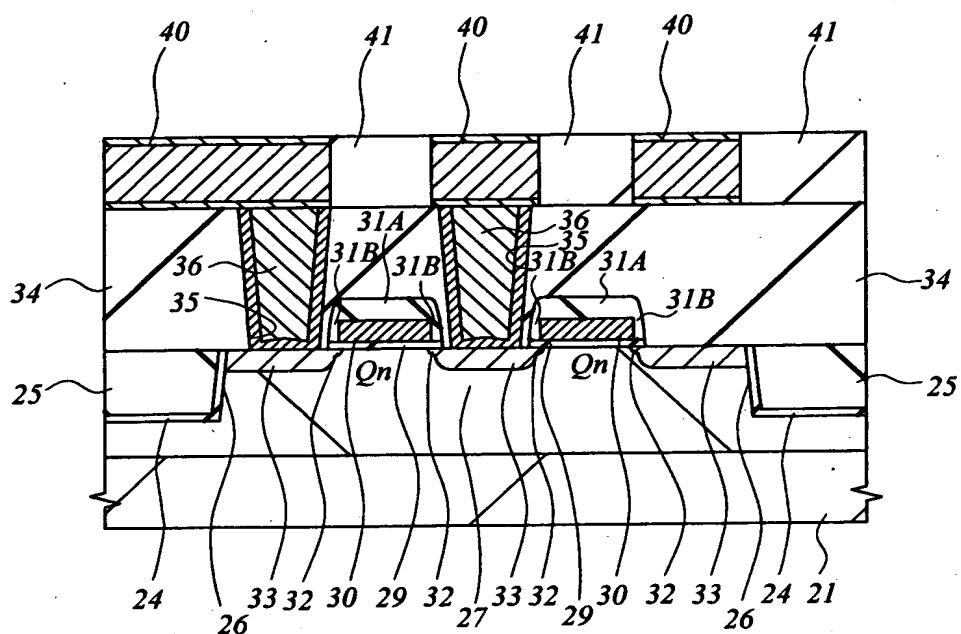
【図30】

図30



【図31】

図31



【書類名】 要約書

【要約】

【課題】 マルチチャンバ方式の半導体製造装置において、ウェハの一部に生じた割れまたはクラックを確実に検知し、その割れまたはクラックに起因する半導体製造装置の被害を最小限に抑える。

【解決手段】 ウェハ9に各処理が施される毎にカメラ8によりウェハ9の全体像を撮影し、識別機10により撮影された画像に処理を施すことにより、ウェハ9における割れまたはクラックの有無を判別する。割れまたはクラックが検知された場合には、識別機10より半導体製造装置を制御するコンピュータ11へエラー信号が送信され、ウェハに割れまたはクラックが検出された直前の工程に用いたプロセスチャンバ内および搬送室1内の稼動を停止する。

【選択図】 図3

特2001-057974

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所